

Corresponding to  
W089/03563A!

⑤ 日本国特許庁(JP)

⑥ 特許出願公表

④ 公表特許公報(A)

平2-501792

⑦ 公表 平成2年(1990)6月14日

⑧ Int. Cl.<sup>2</sup>

発明の名称

庁内整理番号

審査請求

未請求

予備審査請求

未請求

部門(区分)

7(3)

H 04 L 12/56  
G 06 F 15/16

4 0 0 K

6745--5B  
7830--5K

H 04 L 11/20

1 0 2 Z 係

(全29頁)

⑨ 発明の名称 クロスバススイッチ採用コンピュータ相互結合カプラ

⑩ 特 願 昭63-509346

⑪ 出 願 昭63(1988)10月13日

⑫ 翻訳文提出日 平1(1989)6月16日

⑬ 国 際 出 願 PCT/US88/03571

⑭ 国際公開番号 WO89/03563

⑮ 国際公開日 平1(1989)4月20日

優先権主張 ⑯ 1987年10月16日 ⑰ 米国(U.S.) ⑱ 103,503

⑲ 発 明 者 ケント アレン アル

アメリカ合衆国 マサチューセッツ州 02174 アーリントン パ

ーク アベニュー イクステンション 15

⑲ 発 明 者 スチュワート ロバート イー

アメリカ合衆国 マサチューセッツ州 01775 ストロー ノーネ

ーム ロード 1

⑳ 出 願 人 デジタル イクイブメント

アメリカ合衆国 マサチューセッツ州 01754-1418 メイナード

コーポレーション

パウダー ミル ロード 111

㉑ 代 理 人 弁理士 中 村 稔 外7名

㉒ 指 定 国 AT(広域特許), BE(広域特許), CH(広域特許), DE(広域特許), FR(広域特許), GB(広域特許), IT(広域特許), JP, LU(広域特許), NL(広域特許), SE(広域特許)

最終頁に続く

注書(内容に変更なし)

発明の要旨

1. 送信ポートを各々有する複数のデータ処理装置間でメッセージを伝達するためのコンピュータ相互接続カプラが、

前記データ処理装置の一つの送信ポートに接続チャンネルを有する複数の受信ポートに接続される。メッセージを前記送信ポートから受信ポートに伝達する。前記送信ポートの各々に対しての送信ポートの各々に対するための分離した送信及び受信手段を有する複数の電子クロスバススイッチ、

前記クロスバススイッチ間でメッセージを伝達するための前記クロスバススイッチの各々に関連する複数のジャンクタ、及び

前記クロスバススイッチの各々に関連する、ジャンクタを規定して前記クロスバススイッチの一つに到達するメッセージをクロスバス装置からメッセージによって規定される行先装置に接続されるクロスバススイッチに伝達する中央スイッチ制御手段を備えるコンピュータ相互接続カプラ。

2. 前記クロスバススイッチが、前記複数データ処理装置から非同期的にメッセージを受信するための手段を含む請求項1記載のコンピュータ相互接続カプラ。

3. システムクロック及び、受信したメッセージを前記クロックと同期するための手段を含む請求項1記載のコンピュータ相互接続カプラ。

4. 各チャンネルの受信手段及び送信手段を前記中央スイッチ手段によって規定されるジャンクタに接続するための各スイッチマトリックスを含む請求項1記載のコンピュータ相互接続カプラ。

5. メッセージが直接に送信されることに際して、メッセージが規定されているチャンネル及び行き先チャンネルのスイッチングマトリックスの状態を監視し、前記メッセージを送信するために使用されるジャンクタが反対方向に直ちに送信されるようにす

る手段、及び

前記反対方向で前記ジャンクタを介して送信を監視する各チャンネルから前記メッセージ発生チャンネルに送信して、メッセージ発生装置に前記メッセージがうまく送信されたことの確認を迅速に与える手段を含むことを特徴とする請求項1記載のコンピュータ相互接続カプラ。

6. 前記中央スイッチ制御手段が、複数のチャンネルからランダムにメッセージ送信を要求し、メッセージ発生チャンネルに対する前記送信手段に、ジャンクタが各々対応するメッセージの送信に続いて各行先チャンネルに規定されることを知らせる手段を含む請求項1記載のコンピュータ相互接続カプラ。

7. 前記ジャンクタが所定の時間を超えて前記チャンネルに接続され続けている場合、規定されたジャンクタをメッセージが発生されているチャンネルから切り離すタイムを含む請求項1記載のコンピュータ相互接続カプラ。

8. 前記複数データ処理装置を前記ジャンクタを介して前記送信チャンネルに接続する前記処理装置及び前記スイッチマトリックスを含む請求項1記載のコンピュータ相互接続カプラ。

9. 前記中央スイッチ制御手段及び前記クロスバススイッチの各々がエラーフラグレジスタ手段及びエラー発生時に前記前記処理装置をインテグレートする手段を含む。前記前記処理装置がその様な中に応じて前記エラーフラグレジスタにアクセスするための手段を含む請求項1記載のコンピュータ相互接続カプラ。

10. 前記送信手段を、前記処理のための同じチャンネルに於けるための前記送信手段に直接接続するためのノンジャンクスループ、前記メッセージを前記送信手段に直接前記ノンジャンクスループを介して前記受信手段に接続するための手段、及び前記受信手段に

よって受信される前記送信メッセージを、前記送信手段に供給される前記メッセージと比較するための手段を含む請求項1記載のコンピュータ相互接続システム。

16. 差違選定されたジャンクタへの送信に先立ち各メッセージに選定されたジャンクタを識別するデータを受け加える手段、及びメッセージが送信されることが意図されていたジャンクタから受信された各メッセージから付加されたデータを除去する手段を含む請求項1記載のコンピュータ相互接続システム。

17. 前記検査する手段がメッセージが転送されることが意図されていたジャンクタとは異なるジャンクタから受信されたメッセージであることも検出する時、メッセージの全ての内容の行の先頭位置への転送を禁止する手段を含む請求項1記載のコンピュータ相互接続システム。

18. 行先頭位置への受信されたメッセージの送信に先立ち受信されたメッセージから付加されたデータを削除する手段を含む請求項1記載のコンピュータ相互接続システム。

19. 各転送手段に対して、前記受信されたメッセージが送信手段のチャンネルに供給された行の先頭位置を識別する必要があるためにジャンクタから受信された各メッセージを検査する手段が含まれる請求項1記載のコンピュータ相互接続システム。

20. 前記検査する手段が受信されたメッセージが、送信手段のチャンネルに供給された行の先頭位置を識別しないことを検出する時、メッセージの全ての部分の行の先頭位置への転送を禁止する手段を含む請求項1記載のコンピュータ相互接続システム。

21. 前記クロスバースイッチの制御手段が、前記ジャンクタに接続する前記中央スイッチ処理手段からのジャンクタ制御バスを含む請求項1記載のコンピュータ相互接続システム。

一、メッセージを送信する方法が、

各送信チャンネルを介して、メッセージの所定の行の先頭位置をアドレスデータを含むメッセージを、各データ処理装置のポートから、特定の位置に対して各々転送手段及び接続手段を有する各電子的クロスバースイッチに送信し、

受信手段に到達する各メッセージを、前記メッセージ内に識別された行先頭におけるデータ処理装置間の電子的クロスバースイッチの送信手段に転送するためのジャンクタを選択し、

前記選択されたジャンクタを、メッセージ発生装置及び行先頭位置のクロスバースイッチに接続し、そして

メッセージが向けられる装置のクロスバースイッチからの各メッセージを選択されたジャンクタを介して行の先頭位置に対する送信手段に送信し、次に行先頭位置に送信するステップを有する方法。

22. 前記メッセージが、前記送信のデータ処理装置から非同期的に送信される請求項24記載の方法。

23. 受信手段に到達するメッセージが連続して、前記メッセージがシステムクロックに同期される請求項24記載の方法。

24. 受信手段によって受信された各メッセージ内のヘッダデータのフォーマットをチェックし、前記ヘッダのデータが所定の標準を満足する場合のみメッセージを転送しようとするジャンクタを選択するステップを含む請求項24記載の方法。

25. 受信手段に到達するメッセージが、メッセージを送信するためのジャンクタを選択する前に送信手段に接続されているものと想定されるデータ処理装置から向けられたことを検知するステップを含む請求項24記載の方法。

26. メッセージが、接続されたデータ処理装置に送信される同

17. 前記クロスバースイッチが前記ジャンクタ制御バスから送出される制御信号、特定のジャンクタを選択するエンコードされた、及び識別されたジャンクタに接続されたスイッチを逐次的に開閉する信号を有する請求項16記載のコンピュータ相互接続システム。

27. 逐次的に開閉を行う前記信号が、信号ビットの各信号及び信号ビット選定/解除信号を含む、前記クロスバースイッチが、前記信号ビットによってスロープされ、前記クロスバースイッチに接続された前記選定/解除信号をラッチするレジスタを含む請求項17記載のコンピュータ相互接続システム。

28. 前記クロスバースイッチが、複数の異なる制御信号に接続されており、前記制御ワード上の前記クロスバースイッチの数が前記クロスバースイッチを相互接続するジャンクタの数に等しい請求項1記載のコンピュータ相互接続システム。

29. 前記ジャンクタの数が8である請求項17記載のコンピュータ相互接続システム。

30. 前記クロスバースイッチが少なくとも一つの集積回路に設けられており、この集積回路はクロスバースイッチの数に等しいスイッチング回路を有しており、前記スイッチング回路は複数のジャンクタによって相互接続されている請求項1記載のコンピュータ相互接続システム。

31. 前記スイッチング回路は一方方向性であるが、同じスイッチング回路が選定されたジャンクタに複数のメッセージを多重送信し、選定されたジャンクタからの複数のメッセージを分離するために使用される請求項21記載のコンピュータ相互接続システム。

32. 前記スイッチング回路がMANDY12の二つのレベルを有する請求項22記載のコンピュータ相互接続システム。

33. 送信ポートを各々有する複数のデータ処理装置間でメッ

シ、所定の行の先頭に対する送信手段に到達したことを検知するステップを含む請求項24記載の方法。

34. 前記選択されたジャンクタを、メッセージ発生装置及び各メッセージを送信するための行先頭位置の送信手段に接続し、次に選択されたジャンクタを行の先頭位置の受信手段に及びメッセージ発生装置の送信手段に直ちに接続し、前記メッセージを送信するために使用されるジャンクタが反対方向でデータを送信に転送するために使用できるようにされ、そして、

前記反対方向で前記ジャンクタを含むとして確認コードを行の先頭位置からメッセージが発生される装置へ送信し、このメッセージが発生されている装置に前記メッセージが有る(送信された)ことを検知するに与えるステップを有する請求項24記載の方法。

35. 複数のデータ処理装置からランダムにメッセージを受信し、ジャンクタが各メッセージの各行の先頭位置への送信のために接続されることをメッセージが発生されている装置に対する受信手段に知らせるステップを有する請求項24記載の方法。

36. 前記ジャンクタが所定の時間間隔を越えて前記装置に接続され続けられ結合されたジャンクタをメッセージ発生装置から切り離すステップを有する請求項24記載の方法。

37. 送信ポートを各々有する複数のデータ処理装置間でメッセージを送信するコンピュータ相互接続システム。

前記データ処理装置の一つの送信ポートに各々接続されて、前記装置からメッセージを発生し且つこの装置にメッセージを送信する送信チャンネルを設け、分離した反送及び送信手段を前記チャンネルの各々に対して有している複数の電子的クロスバースイッチ。

前記クロスバースイッチ間でメッセージの送信をする前記クロ

スバススイッチの各々に関連する選定のジャンクタ。

前記クロスバススイッチの全てに接続され、ジャンクタを決定して前記クロスバススイッチの一つに関連するメッセージを、ソース装置からメッセージによって指定された行き先装置に接続されるクロスバススイッチに送達する中央スイッチ検出手段、及び選定されたジャンクタにメッセージを多重送達し、且つ同一の方向性のクロスバススイッチを介しての選定されたジャンクタからのメッセージを分離する手段から成るコンピュータ相互結合チップ。

34. 前記クロスバススイッチが前記ジャンクタ制御バスから受信された制御入力、特定のジャンクタを識別するエンコード動作、及び指定されたジャンクタに接続するスイッチを選択的に制御するための番号を有する請求項33のコンピュータ相互結合チップ。

35. 選択的に制御する前記番号が、番号ビット命令番号及び番号ビット選定/解除番号を含む、前記クロスバススイッチが、前記命令番号によりスロープされ、前記エンコード数値及び前記選定/解除番号をラッチするレジスタを含む請求項34記載のコンピュータ相互結合チップ。

36. 前記クロスバススイッチが異なる複数の印刷回路板上に設置されており、各ボード上の前記クロスバススイッチの数が前記クロスバススイッチを相互接続するジャンクタの数に等しい請求項33記載のコンピュータ相互結合チップ。

37. 前記ジャンクタの数が5である請求項36記載のコンピュータ相互結合チップ。

38. 複数のクロスバススイッチが少なくとも一つの無電路上に設けられており、この無電路上は複数のクロスバススイッチに対するスイッチング回路を提供し、前記スイッチング回路が前記

同じ数のジャンクタによって相互に接続されている請求項33記載のコンピュータ相互結合チップ。

39. 前記スイッチング回路がNANDゲートの二つのレベルから成っている請求項33記載のコンピュータ相互結合チップ。

# 詳説(内容に照準を)

## 明 細 書

### クロスバススイッチ採用コンピュータ相互結合チップ

#### 【技術分野】

本発明は一般的にはコンピュータシステムの相互結合の分野に関するものであり、さらに詳しくは、コンピュータシステム内の各種のデータ処理装置間でのデータ・パケットの伝送に関するものである。特に、未発明は、各種のデータ処理装置間でのアドレスされたデータ・パケットの伝送を制御するためのコンピュータ相互結合用チップに関するものである。

#### 【背景技術】

従来のデジタル・コンピュータ・システムは少なくともメモリ、入出力装置、およびデータ・プロセッサを備えている。メモリは、アドレス可能な記憶場所に情報を格納する。この情報としては、コマンドおよびレジスタンスを含む、データ処理のためのデータおよび命令がある。データ・プロセッサは、メモリに対して情報の転送を行い、入力した情報をデータあるいは命令として解釈し、また命令に従ってデータ処理を行う。入出力装置も、入力されたデータを格納し、出力された処理データを格納するために、メモリと接続されている。

典型的な小型のコンピュータ・システムは、中央処理ユニット、メモリ、入出力ユニットおよび電源を有しており、これらはキャビネット内に一体に収められている。このキャビネットはフレームを中心に形成されており、このフレームには、中央処理ユニット、メモリおよび入出力ユニット等のプリント回路基板を収め入れる平行的に配置されたスロットを形成しているラック、すなわち「カード・ゲージ」が構成されている。隣接基板の内部端には、カード・ゲージの「背面」上の接続部に適合する端子が設置され

ている。この「背面」には平行配列された多数の導電線であるバスが配置されており、これらのバスは、基盤間を相互結合し、基盤を電線に導通し、入出力ユニットを歩数の入出力ポートに接続している。これらのバスによって、アドレスおよびデータ・コントロールおよび状態信号が伝送され、また電力供給および接地が行われる。典型的な入出力ポートは、コンソール端子用のポート各種であり、またフロッピー・ディスク・ドライブ、テープ・ドライブ、高速プリンタあるいはハード・ディスク・ドライブ等の、高速入出力装置あるいは大容量メモリのポートを少なくとも一つに備えている。

回路技術の進歩によって、各メモリあるいは入出力装置に対して専用に機能する付加データ・プロセッサの使用が実用化されるようになって、この結果、典型的な中央処理ユニット用のキャビネット内においては、数値計算用の第1のデータ・プロセッサおよび中央メモリ用の第2のデータ・プロセッサが配置される場合があり、例えば、メモリの一部で入出力データのパワーファンクションあるいはバッファリングを行う一方で、メモリの他の部分で数値計算が行われる。また、キャビネットの外部にある中央処理装置内の入出力装置あるいは大容量メモリ装置では、データのバッファリングおよびセントラル・プロセッサからの電圧レベルのコマンドに応じて、装置を制御するために使用するデータ処理ユニットを少なくとも一つは備えているが一般的である。

近年においては、計算能力およびデータ処理能力として、数個の中央処理ユニットによって実現される能力以上の能力が要求されるようになってきている。大規模シミュレーション等の特定用途に対しては、アドレス、データおよびコントロールのバスによって結合された多数のセントラル・プロセッサおよびメモリを備

えた大型コンピュータによってのみこのような要求が満足されるに過ぎない。しかし、一般的に用途に対しては、異なる大規模な多数の一般的な中央処理ユニット、入出力装置および大容量メモリ装置が配置される。それらが相互に接続されて通信できるようにしているコンピュータ・ネットワークを構築することの方がより経済的である。中央処理ユニットはそれぞれ1つ以上の大容量メモリ・ユニットを分け合っており、共通のデータ・バスを介してアクセスおよびデータの更新を行うことが一般的である。

ネットワーク内でのデータ処理装置間の通信に使用可能な情報・転送は数多くあるが、代表的な方法は、各種の要素間を相互接続している送受信ソース（すなわち、チャネルあるいはバス）を分け合って使用するものである。一般的に言って、シェア型バスを介しての二つの装置間の伝送動作には二つのステップが必要とされる。この理由は、各装置は同時に伝送を行う能力があるからである。第1のステップは、規定インターバルの間バス・コントロールを取得するためのユニットを駆動する。第2のステップは、バスを介しての情報転送を行うためにユニットを駆動する。バス・コントロールの取得のためには、バス・アクセスを要求している装置のうちの特定のものをを選択するための制御動作が必要である。この制御動作には二つの一般的な方法が知られている。一つは「集約型」制御であり、もう一つは「分散型」制御である。集約型制御においては、単一の集約優先権あるいは装置がバス・アクセスの要求全てを受け取り、ある時点で要求を出している装置のうちの何れのものに代りて最も高い優先権位を得て、バスの使用を許可するのを決定する。一旦、そのような装置が選択されると、バスの制御が可能な限り、転送が可能となる。これに対して、分散型制御においては、バスに接続されている各セ

ットに特定の優先順位が割り振られ、各セットは原則に、バス・コントロールを取得したい場合には、それがバス・コントロールを獲得するために充分な優先権位を有しているのを確かを判定する。優先順位の高いセットが同時に複数のアクセスを要求している場合には、それよりも低い優先順位の装置は、自身が最も高い優先権位を有する要素源となるとして待機する必要がある。

分散型制御は、「コラジョン・ディテクション」を備えた送受信機多数アクセス（CSMA/CD）として知られており、同軸ケーブル等の単一のビット・シリアル・チャンネルを介しての複数の装置による通信を可能にする。各装置は、チャネルをモニターすると共に、二つの装置が同時に伝送を行っていることを検出するための回路を備えている。転送を行っている装置が、同時に別の装置が転送を行っていることを検出した時には、双方の装置は転送動作を中止する。しかる後に、双方の装置はチャネルがクリアされた後に転送を再度トライする。

従来の同軸ケーブルによるシリアル・データ通信ネットワークは「イーザ・ネット」として知られている。このイーザ・ネットは、最大10メガビット/秒で動作し、ネットワーク・セグメント上において最大1023のアドレスを可能な態で提供する。このイーザ・ネットは、非常に多数のタイムシェアリング降着を中央処理ユニットにリンクする場合に特に有効である。

最初のデータ処理装置間において、シェア型バスを介して高速で情報転送を行うためには、両端同期化、アドレス線、および高信頼性のデータ転送といった別々要求を満たす必要がある。これらの要求を満足するために、特許技術のハードウェアおよび通信プロトコルが考案されてきている。

ように、同転送、すなわち「同期ロビン」に基づき待ことが望ましい。チャネル上にキャリアが存在しないことは、データ処理装置がアクセスを獲得しようとすることを示している。同期化には、一定の時間以内にキャリアが存在しないとならなければ伝送が失敗したことを示す。データ・パケットの破壊あるいは他の伝送エラーは、定期的な冗長チェック等のエラー検出コードによって検出される。

データ処理装置が正確にデータ・パケットを受け取った場合には、アノリッジメント・コードを発生して伝送することに依る。そのパケットを受け取ったことを逐次伝達する。データ・パケットが受け取られなかったと判断された時には、ゴリッジメント・コード（ACK）が戻される。情報パケットが正確に受け取られたものの、処理することが出来なかった時には、ナゴリッジメント・コード（NAK）が戻される。異例的な場合には、このナゴリッジメント・コードは、受け取ったデータ・パケットがバッドを利用出来なために処理できず、従って、受け取られたデータが破壊されたことを示している。

アノリッジメント・コードの伝送を行うための制御は不要である。それは、受け取られたデータ・パケットのキャリアが伝送チャネルから除去されると同時にこのコードは伝送されるからである。アノリッジメント・コードの伝送は一定の期限内に終了しなければならぬ。この一定の期間の経過後は、他のデータ処理装置が制御動作および別個のデータ・パケットの伝送を開始する可能性がある。

データ処理装置が、データ・パケットの伝送後直ちにアノリッジメント・コードを受け取らなかった場合には、再伝送を予め

開かれた位置にデータ処理装置を結合する要求バスを介して並列に高速でデータ伝送を行うことは、伝送速度に支障があるために、ほとんど実用性ではない。また、両端同期化を行う必要があるために、ノン・リターン・トゥ・ゼロのフォーマットでデータを送信することは望ましくない。一本あるいは多数本のシリアル・データの流れを、セグメントしたフォーマットあるいはセルフ・クロッキング・フォーマットで伝送することが望ましい。望ましいフォーマットは、マンチェスタ・エンコーディングであり、これはスタンダードの規格特許第4,595,072号公開およびセグメントによる本特許特許第4,560,572号に記載されており、これらの内容は本特許書内に示されて組み込まれている。マンチェスタ・エンコーディングは送成および受信両方に転送できるという利点であり、この結果、エンコードされた符号は任意に単一のアドレス線、トランスフォーマを流すことになる。

シェア型データ・バスを有するコンピュータ・ネットワークにおいては、種々なデータ伝送を行うことが特に重要である。このような場合、データ・バスの更新中におけるどのような更新・送込みも、発生するおそれのあるエラーを修正するために、更新・送込み・プロセスによって検出される必要がある。またこのような更新・送込みは、他のセントラル・プロセスが一部変更された後使用されるデータを使用することの無いように、メモリ・サブによって検出される必要がある。

種々な高速データ伝送を行うための通信プロトコルは、シフトレック等による米国特許第4,560,985号公報に開示されており、この内容は本特許にこの公報に組み込まれる。特許は、各データ処理装置がシェア型チャネル上でほぼ等しいアクセスの機会を得る



かつ、アドレスされた目的チャネルに対応する目的チャネル内に含まれているものである場合にのみ、可能である。このポートの「バーチャル・スター・カプリング」によって、正確にアドレス付けされたメッセージあるいは許可されていないメッセージの伝送が防止される。これによってデータ処理装置の一歩性、効率、および安全性が向上する。

コンピュータ相互結合用カプルの信頼性の大幅な改善は、一対のカプルの配置することによって達成される。これらのカプルの相互にリンクさせて、バーチャル・スター・カプリングの概念に一致した信頼性を確保し、またシステム内で相互結合されたデータ処理装置において発生し得る故障についての診断能力を互いに提供される。システムの信頼性は、各カプルの診断能力を付加することによってさらに改善される。これによって、内部欠陥が検出されて修理されることとなる。修理の信頼性が容易にでき、保証されるように欠陥のある部品が適切に交換される確率を高めるために、欠陥部態に関する内部診断情報が、欠陥部態の回路基板の上の不揮発性メモリ内に記録される。この結果、この情報は欠陥部態と外に修理施設に渡部に送られることとなる。

本発明の他の目的および利点は、以下の詳細な説明を読み、添付図面を参照することによって明らかとなる。

(図面の簡単な説明)

第1図は、従来の形式の多数のデータ処理装置を相互結合するための本発明の好適な実施例の使用を示す概略図である。

第2図は、どのようにしてメッセージがジャンクを介してソース・チャネルから目的チャネルに対してルート指定されるかを示すと共に、診断のためにどのようにして内部メッセージがジャンクを介してルート指定されるかを示す概略図である。

へのメッセージのルート指定を可能にする信号を発生するメモリ/後述図面を示す。

第1図は、コンピュータ相互結合用カプルの一例である。

第3図は、マルチスタタ・デコードおよびキャリヤ抽出ロジックを有するリアル・タイム・コンピュータを示す概略図である。

第4図は、メッセージ・リンクロジックおよびレシーバ・コントロール・ロジック用のリアル・タイム・カウンタの概略図である。

第5図は、メッセージのルート指定要求を発生するレシーバ・コントロール・ロジックの概略図である。

第6図は、メッセージ・キューイング用のレシーバおよびトランスミッタ・ロジックの概略図である。

第7図は、ファースト・イン・ファースト・アウト・バッファおよびスイッチ・マトリックスのインターフェース用の論理回路の概略図である。

第8図は、スイッチ・マトリックス用および符号受け取り用の論理回路の概略図であり、上記の符号は、トランスミッタおよびレシーバに対してジャンクが割り当てられたか否かを指示すると共に、割り当てられたジャンクのアイデンティフィケーション番号を示す。

第9図は、レシーバをジャンクに接続するための好適なスイッチング回路の概略図である。

第10図は、ジャンクをトランスミッタに接続するための好適な回路の概略図である。

第11図は、ジャンクのリザーブおよびドロッピングのサービス要求を発生するレシーバ・ロジックの概略図である。

第12図は、実施例の回路を好適な図解基板上に配置する方法およびシミュレーションによる簡易基盤の相互結合の方法を示す概略図である。

第13図は、ソース・チャネルからのメッセージを目的チャネルにルート指定するために使用されるコントロール・パス、および診断プロセッサとメッセージのルート指定を行う回路との間の結合を示す論理ブロック図である。

第14図は、発生元のポートから目的ポートへのメッセージのルーティングおよび目的ポートからのデータフローを制御するための近部を示すタイミング図である。

第15図は、コントロール回路、コントロール信号、現在の論理状態および増強結合用カプルの構成を記述するメモリ、および異常動作状態を検出する処理のタイム表、より詳細に示す論理ブロック図である。

第16図は、サービス要求が優先レベルにある場合における優先順位優先伝送順序法を示す概略図である。

第17図は、サービス要求が低い優先順位の結果低い優先順位の結果と分岐され、各域内において発生した同時要求を制御するために得られる順序図が記述されている二重優先順位法を具体化するための論理回路を示す概略図である。

第18図は、プライオリティ・リンク・エンコーダを示す概略図である。

第19図は、バーチャル・スター・カプルのようにして、一組の目的チャネルを持ったマルチチャネルの結果と指定されるものを示す図である。

第20図は、最大1組のバーチャル・スター・カプルの定義を促進し、特定のソース・チャネルから特定の目的チャネル

第21図は、レシーバへのジャンクのリクエストを抽出するレシーバ・ロジックの概略図である。

第22図は、トランスミッタ・コントロール・ロジックの概略図である。

第23図は、メッセージのルーティング、ジャンクのリザーブおよびドロッピング、メッセージのルーティング要求のキューイングおよびドロッピングのためのサービス要求を処理する中央スイッチ・ロジックの概略図である。

第24図は、中央スイッチ・ロジックで採用される要求プライオリティ・デコードの概略図である。

第25図は、ルーティング要求が可能なか否かを制御する中央スイッチ・ロジックの概略図である。

第26図は、中央スイッチ・ロジックによって、ジャンクのリザーブおよびドロッピングの要求を出すためのコンベクション・ロジックの概略図である。

第27図は、中央スイッチ・ロジックによって、メッセージ・ルーティング要求のためのコンベクション・ロジックの概略図である。

第28図は、メッセージをルーティングするために中央スイッチ・ロジックによって使用されるコンベクション・ロジックの概略図である。

第29図は、メッセージ要求をドロッピングのために、中央スイッチ・ロジックによって使用されるコンベクション・ロジックの概略図である。

本発明は、多岐にわたる変更や修正が可能であるが、特定の実施例を明瞭に示すために詳細に説明する。しかしながら、本発明をここに開示する特定の形態だけに限定するものではなく、本発明

は、特許請求の範囲に限定する権利および範囲内に含まれる全ての改良、等価物、そして変形も開示するものである。

第1図は、本発明の様々な特徴を組み込んだコンピュータ環境構築カプラー（一般的に5で示す）の使用例を示すものである。高い信頼性を得るために、カプラー5は、例えば、先フィバリング53によって互い接続された2つの間のカプラー51と52によって形成されている。リンク53は、カプラー51、52のいずれかによって取り取ったオペレータ要求により状態が変化するときにカプラー51および52の構成が同一の状態で維持されるよう確保する。カプラー51と52は、これらによって相互接続された多数のデータ処理装置の状態及び起こりえる故障不良についての情報を伝送するためにリンク53を使用することもできる。これらのデータ処理装置は、中央処理ユニット54、55、56、57、58と、追加アダプティブ51、52、59のためのサブユニット55、56と大量データ記憶装置即ちディスクメモリ54、55、56、57、58とを含む。通常のケースでは、中央処理ユニット54ないし58は、高速データリンク70、71または低速データリンク72、73そして多数の时分割ターミナル（図示せず）、コムケーション装置（図示せず）及び用途に特定の装置（図示せず）に直接リンクされている。コンピュータ相互接続カプラー51、52は、データ処理装置54-59を附々の場所、例えばビルディングの隣接に設置できるようにする。さらに、カプラー51と52は、システム内のいずれかのデータ処理ユニットも、システム内の他のいずれかのデータ処理ユニットに、アドレスされたデータパケットを送れるようにする。その上、カプラー51と52は、1つのデータ処理装置から別の処理装置へメッセージを送信するように構成又はプログラムする。

83を有する。

通常上、チャネルXのためのインターフェイス回路82は、チャネルXにアドレスされたデータパケットを含むメッセージを通信ケーブル81を通して受け取り且て送達する。それ故、このメッセージの目的として、チャネルXはソースチャネルとしてチャネルXに先行きチャネルとなる。このようなメッセージを処理するために、それぞれのチャネルには独自のチャネル番号が指定される。

メッセージをルーティングするために、メッセージの最初の部分がインターフェイス回路82から送受信ロジック回路84へと送達される。送受信ロジック回路84はルーティング要求を発生し、もしこれが満足されると、複数のジャンタ86の1つが送受信ロジック回路84に指定される。この指定により、スイッチマトリクス87の各スイッチが閉じ、そして送受信ロジック回路84が指定のジャンタに接続される。第1図に示されているように、例えば、送受信ロジック回路84はスイッチ83を閉じることによってジャンタ85に接続される。

メッセージをそのアドレスされた行き先チャネルにルーティングするには、更に、この指定のジャンタ86が、行き先チャネルに関連した送受信ロジック88に接続される必要がある。このため、送受信ロジック88は、スイッチ91を含むスイッチマトリクス90によってジャンタ86に接続される。そのスイッチ91は、これが閉じると、ジャンタ88を送受信ロジック回路88に接続する。スイッチマトリクス87、90内のスイッチの要求される状態は、ジャンタ制御バス93を通して送られる制御信号によってセットされる。この制御信号は、送受信ロジック回路82によっても発生され、ジャンタが確立されたことと、メッ

サージュすることがあるが、それは、ソースデータ処理装置及び行き先データ処理装置の各チャネルがバスシステムに対して定められた少なくとも1つの「仮想ステーション」に関連した予め定められたソースチャネルセット及び行き先チャネルセットに各々含まれる場合においてのみである。従って、コンピュータ相互接続カプラー51、52は、あるデータ処理装置へのデータバスを解放し、ある方向のみのデータ転送を可能とし、そして優先性の目的のため、メッセージが最初にあるデータ処理装置に達した場合にはのみそのメッセージを別のデータ処理装置にルーティングできるようにする。

この図の図面に示された特定の実施例によれば、それぞれのカプラー51、52は2段階データバスシステムで、これは、8相の独立した相互接続通信ジャンタを構成するのが好ましい。各ジャンタは、両方向性で、1秒間に7メガビットのデータを転送するのが好ましい。それぞれのカプラー51、52は、少なくとも4チャネルを相互接続できるのが好ましい。カプラー51、52に接続されたチャネルは、任意的に、8つ程度の断続スカーカプラーに分けることができ、そしてチャネルに接続されたデータ処理装置は、断続し低下することなしに1つの断続スカーカプラーから、別の断続スカーカプラーへと物理的に断続的に移動できる。

第2図は、ソースチャネルXから行き先チャネルYまでのメッセージをルーティングすることを示す例題である。チャネルXは、インターフェイス回路82を有する送信側のデータ処理装置と相互接続する通信ケーブル81によって定められる。同様に、チャネルYは、第2の通信ケーブル81を通して他のデータ処理装置に相互接続されるインターフェイス回路

97がジャンタ86の1つを通して送達されることを示す。メッセージを受信すると、送受信ロジック82は、メッセージをチャネルXのインターフェイス回路82に送り、送受信ケーブル85を通してアドレスデータ処理装置へ送るようになる。

メッセージを受信すると、アドレスされたデータ処理装置は、ソースデータ処理装置に制御信号を送達する。この制御信号は、通信ケーブル85を通して送達され、インターフェイス回路82に達し、そして関連する送信ロジック回路84へ達する。送信ロジック回路84が元のメッセージの送信を終了したと認識する確認信号の発生を手続きする際、ジャンタ制御バス93を有する制御信号を発生させ、これにより、スイッチ83及び91を開きそしてスイッチ93及び95を閉じ、チャネルXに関連した送受信ロジック回路84と、チャネルYに関連した送受信ロジック回路87との間に接続を確立する。送達される確認信号は、送受信ロジック回路87により、チャネルXに関連したインターフェイス回路82へ送られ、断続メッセージを出したデータ処理ユニットへ送達される。

相互接続カプラー51内の問題をテストするために、相互接続カプラーは必要に制御及び監視ロジック88を備えており、このロジックは制御信号を発生し、これらはジャンタジャンタ制御バス93に送られて、選択された1つのチャネルXの受信及び送受信ロジックを有する「保守」ループを確立する。制御及び監視ロジック88は断続メッセージを発生し、これは、断続スイッチマトリクス91を有するジャンタ86の1つに送られる。このため、例えば、スイッチ89、91及び95が閉じられそしてスイッチ86が閉じられる。さらに、スイッチ104が閉じ、制御及び監視ロジック88をジャンタ88に接続し、これにより、送達

ロジック1への送信回路を成立する。制御及び診断ロジック3は、ジャンクション制御バス3を経て制御線を発生し、スイッチ10及びスイッチ102を通じて、受信ロジック回路84から診断ロジック98へ出る送信線を成立する。それに加えて、全ての内部回路が標準モード103によって閉じられ、送信ロジック91から受信ロジック84までの信号経路を形成する。例えば、送信ロジック91及び受信ロジック84は、インターフェイス回路82から同期され、受信ロジック84及び送信ロジック91の双方がスイッチマトリクス7を通じてジャンクタ86に接続されたときに標準モード103を通して相互接続される。送信された診断メッセージと、受信された診断メッセージと比較することによって、制御及び診断ロジック98は、スイッチマトリクス87を制御する際のエラー。又はスイッチマトリクス87、受信ロジック84あるいは送信ロジック91の不適當な動作を検出することができる。これらのエラーは、制御バス103を通じてシステムレベル104に知られる。

第3図は、第1図の相互接続プログラム1又は2の1つを形成する他の関係要素の図である。図3は、中央処理ユニットに使用される複数の通常のカードレイアウトに付けられ、その図3は、通常の電源位置111によって作動される。例えば、この実施例における電源、カードレイアウト及び送受信は、デジタル・インタフェース・コネクションのVAX8560/8568、中央処理ユニットに使用されているものと類似のものである。しかしながら、カードレイアウトの「バックプレーン」を改良して、第3図に示すように、多数のバスで回路基盤を相互接続することもできる。

51で一般的に示された例示的なコンピュータ相互接続ス

キは、少なくともコンソール及び診断プロセスのための回路基盤112を備える。これは、第2図の装置及び診断ロジック88を構成するものである。診断プロセス112は、例えば、デジタル・インタフェース・コネクションの「PDP-11」をベースとするプロセスである。診断プロセスに関連して、一部のプロセス・デスタリブ113、先フィードバック53、そして制御ターミナル、サブシステムのリードドライブ及び制御バスへのリンクがある。又、診断プロセス112は、診断ロジック回路のプログラムメモリ115及びデータメモリ116を含むメモリ・ボード114にも関連している。プログラムバス117は診断プロセスモジュールメモリ115にリンクし、そしてプロセスデータバス118は、診断プロセスとデータメモリ116をリンクする。

本発明の特徴によれば、メモリ・ボード114は、更に、スイッチ・制御・リレー・レベルの情報を設置するスイッチ制御メモリ119を含む。この情報は、例えば、システムの状態・プログラムを定義したもののマスタートラックを含む。そして異常なまたは不適當な動作状態がコンピュータ相互接続プログラムのロジック回路に起きていることを検出するための状態・リレー・の時間遅延を定めるデータを含む。診断制御バス120は、スイッチ制御メモリ119と診断プロセス112をリンクするために設置されている。診断制御バス120は、診断プロセスがリレー・レベル情報を中央スイッチ・制御・バスにダウンロードできるようにし、このロジックは、スイッチマトリクスを制御することにより選択されたジャンクタを通じてメッセージをルーティングする。中央スイッチ・ロジックは、スイッチ制御ポート121に食され、このポートは診断スイッチマトリクスを含む(第2図

99)。リレー・レベル情報をダウンロードして診断スイッチマトリクスをセットするために、診断プロセス112は、中央スイッチ・ロジックに割り込む又は制御コマンドを送り、以下に詳しく述べるように、中央スイッチ・ロジックのメモリ及びレジスタをアドレスできるようにする。

又、制御及び制御バス120は、スイッチ制御ポート121及びチャンネルインターフェースボード122、123に食された電気的に消去可能で且つプログラム可能なメモリ(E<sup>2</sup>PR<sup>2</sup>OM)に診断プログラム112をリンクするために用いられ、これは、欠陥のある回路板が修理のために取り外される前にこの欠陥回路板に診断情報を書き込むためである。それ故、欠陥が検出されたとき、そのシステムの状態及び形態のような診断情報と、診断へ続くエラー・トラッキング、欠陥回路板と共に修理工場へ送られる。このことは、欠陥のある回路板が送られたときに、その回路板上の全ての欠陥を適切に修理する見込みが非常に高くなるように回路板に対して完全な信頼を確保する。各回路板のE<sup>2</sup>PR<sup>2</sup>OMは、診断情報と共に、回路板の識別情報、例えば、その回路板の形式又はそれによって行なわれる機能、回路板のシリアル番号、回路板の製造年月日と場所、及びその回路板の修理経過を含むのが好ましい。

所望のチャンネル数とある最大数まで受け入れられるようコンピュータ相互接続プログラム51を恰々に拡張するために、コンピュータシステムに相互接続されるべきある種類のデータ処理装置の各々に対してチャンネルインターフェースボード122が設けられている。好ましくは、チャンネルインターフェースボードは、8個のチャンネルに対するインターフェース回路と共に、それに関連した受信ロジック、送信ロジック及びスイッチマトリクス回路

を含んでいる。スイッチ制御ポート121の診断スイッチマトリクスは、ジャンクタ86によりチャンネルインターフェースボード121のスイッチマトリクスにリンクされる。ジャンクタは、システムに取り付けることのできる他のチャンネルインターフェースボード123のスイッチマトリクスまで及びて、スイッチマトリクスをスイッチ・制御・バス119にリンクし得るために、スイッチ制御ポート121は、ジャンクタ制御バス88を通して、チャンネルインターフェースボード122、123にリンクされる。

チャンネルインターフェースボード122、123がスイッチ制御ポート121の中央スイッチ・制御・バス又は後述の行列の要求を送信するようにするために、これらのポートは、スイッチ制御バス124を通してリンクされる。又、スイッチ制御バス124は、通信線を伝送し、識別、識別番号をスイッチ制御ポート121からチャンネルインターフェースボード122、123へ送るのにも使用される。そして、チャンネルインターフェースボード122、123は、診断制御バス120にもリンクされており、診断プログラム112がチャンネルインターフェースのような情報を検出及び送信ロジックにダウンロードできるようにすると共に、診断プロセスがカウンタ、レジスタ、送信及び受信のロジックの機能について質問できるようにする。

コンピュータ相互接続プログラムの動作中に、スイッチ制御ポート121及びチャンネルインターフェースボード122、123の回路によって、エラー又は異常状況が発生される。診断プロセスがこれらの状態を検出する(図3)ことができるようにするため、診断制御バス120はスイッチ制御ポート121とそれら他のチャンネルインターフェースボードに対して各別な要求ライン

を念んでいる。診断プロセッサ112が取り込みされると、これは、取り込み要求を送っているボードのエラフアラッドレジスタをアドレスする。

図4は127、127、123を取り付けたり取り外したりするときにコンピュータ相互接続のブザーの動作を容易にするため、診断の仕様/グラフィクス125が設けられており、これは、診断プロセッサがグラフィクスの各ビット（図示せず）をポーリングして、診断板が取り付けられているかどうかの情報を得られるようにし、それをもとにするならば、診断板の形式と、それに関連したチャンネル番号を容易に得られるようにする。故障/グラフィクスは、例えば、診断プロセッサ112から診断板の各ビットへ送る個別のイーネブルライン及び複数のタリブラインを含む。イーネブルラインは、診断板が各故障レジスタから状態バスに送って故障コードを送信できるように順次動作される。タリブラインは、診断プロセッサがそれぞれの故障コード121、127、123を決定してリセットできるようにする。

コンピュータ相互接続のブザーは、更に、トラフィックデータ収集ボード128を含む。これはトラフィックデータ収集バス127を通じて診断プロセッサ112とリンクされている。トラフィックデータ収集ボードは、例えば、各ジャンクションを経て送られる各チャンネルから発生される又はそこに送られるメッセージの用途表を記憶するアドレス可能なカウンタを含む。第4図は、様々な回路構成の異なる制御回路を含むコンピュータ相互接続のブザーの故障/グラフィクスを含む。チャンネルライングラフィクス図8は、通信ケーブル81に接続されたライン受信器132及びラインドライバ133を含む。通信ケーブル81は、例えば、フィジカル層の故障（図示せず）を経てラ

イン受信器132及びラインドライバ133に各々接続された一列の同軸ケーブルから成るが、ライン受信器132及びラインドライバ133に接続された一列の光ファイバから成る構成でもよい。同様に、他のチャンネルライングラフィクス図8も、通信ケーブル81に接続されたライン受信器132及びラインドライバ133を含む。ライン受信器132及びラインドライバ133は、信号ケーブル132を形成するようにスイッチできるマルチプレクサ133を通じてそれぞれ受信機及び送信機に接続される。図8は、図8に接続される。他のチャンネルライングラフィクス図8も同様のマルチプレクサ133を含む。

通信ケーブル81、85を送信及び受信されるデータは、マンチェスターコーディングのような自己同期又は自己クロックフォーマットを用いて系列ビット流として送られるのが好ましい。データ率は、例えば、1秒あたり8メガビットである。直列ビット流中のクロックが同様に、そしてデータビットはマンチェスターコーディング及び直列/並列コンバータ141によってビットバイトに格納される。直列ビットを格納するために、共通の内部クロックを用いて全てのチャンネルからデータが処理される。それ故、同期回路142は、データバイト内部クロックに同期させるようにデータバイト流を逐次的に送られるものに開く。同期されたバイトは、先入れ先出しバッファ143に送り込まれ、メッセージのマルチプレクサに一次元的に格納される。受信側回路144は、メッセージのヘッダから行き先アドレスを得る。又、受信側回路144は、ヘッダが特定のフォーマットに合っているかどうかを決定し、もしそうならば、受信側回路144は、メッセージをマルチプレクサするためのサービス要求を中央スイッチングユニット145に送る。

予め定められた送信スタックのみに従ってメッセージをルーティングできるようにするために、中央スイッチングユニット144は、行き先アドレスと、ソースチャンネルに対して定められて中央クロック調整モードに記憶された1組の特定の有線付き先アドレスとを参照に比較する。もしメッセージが許可されないアドレスにアドレスされると、中央スイッチングユニット144は、そのメッセージをルーティングするためのサービス要求を生成する。もしなければ、中央スイッチングユニットは、ジャンクがフリーであるかどうかを判断すると共に、行き先チャンネルの送信器又は受信器がビジーであるかどうかを判断する。もしジャンクが使用可能で、行き先チャンネルがビジーでなければ、メッセージがルーティングされる。そうでない場合には、メッセージのルーティング要求は、"行き先待ち行列"中に入れられ、行き先チャンネルがもうビジーでなくなった際に、その要求が満たされるようにする。

メッセージ要求が待ち行列に入れられるときには、バッファ143のメッセージを送信することができず、これは要求されるメッセージを送信できるまで中央メッセージを記憶するに充分な記憶装置を設けることができるが、これは必要とされず、過剰な量のメモリと付加的なクロックの確保が要求される。更に、後で送信するように中央メッセージを記憶することによりメッセージを送信プロセスの完全性が保証される。という、行き先データ処理装置による受信を直ちに格納できないからである。これに対し、受発の所望しい実行例によれば、メッセージの開始のみが一時的に記憶され、それにより、メッセージの格納は必ずしも格納されるだけであって、コンピュータ相互接続のブザーデータ処理装置に対して比較的過渡的であると考える。

行き先チャンネルがビジーであるためにメッセージ要求が待ち行列に入れられたときにソースチャンネルに接続されたデータ処理装置がメッセージを再送信しないようにするために、それに応ずる流れ制御信号がソースチャンネルに送られ、メッセージが待ち行列に入れられたことを警告制御信号144に指示する。又、この流れ制御信号は、ソースチャンネルに送られる送信器を制御し、流れ制御信号を元のデータ処理装置へ送る。受信の際には、流れ制御信号により、データ処理装置は、中央スイッチングユニットが待ち先アドレスのチャンネルがメッセージが格納されない状態にして待ち行列に入れられたメッセージ要求が行き先待ち行列の頭端に置かれるまで再送信を待たないという禁止を受ける。これらの条件が満たされると、中央スイッチングユニット144は、流れ制御信号をアドレスし、ソースチャンネルのデータ処理装置がメッセージを再送信するようにする。

ジャンクが利用できないためにメッセージルーティング要求が待ち行列に入れられた場合には、流れ制御信号を送る。ソースチャンネルのデータ処理装置は、メッセージを再送信できるようになり、許可を自由再送信を行なう。中央スイッチングユニット144は、メッセージをルーティングできるようにすると、ジャンク制御バス133に信号を送って、フリーチャンネルをソースチャンネル受信器及び行き先チャンネル送信器に指定する。ジャンクが指定された場合には、スイッチングユニット132、133の各スイッチが同じく、受信側回路144及び送信側回路145に、指定のジャンクに対してメッセージを送信及び受信すべきであることが指示される。送信の際に、受信側回路144はメッセージの開始部分にジャンクを追加し、ジャンク指定のジャンクを経て送られる。メッセージがバッファ143からク

ロックされて出される。タグは、指定のジャンクタ・ソースチャネル番号及び行き先チャネル番号を識別する情報を含んでいる。送信制御ロジック 8 は、タグを検査し、タグが関連している場合にメッセージの送信を阻止する。さもなければ、タグが関連している場合にはメッセージの送信を阻止と同様ヘッダが追加される。次いで、ヘッダは、送信制御及びデータリンクプロセッサ 14 から、並列/直列コンバータ及びマルチキャストエングジン 147 を経て送られる。行き先データ処理装置へ直列形態で送られる。

メッセージ送信の時に、送信制御ロジック 8 は、バッファ 143 が空であることを監視し、スイッチマトリクス 27、9 のスイッチの状態を監視する要求を中央スイッチャロジック 144 に送り、指定のジャンクタに対してデータの送れを通知させる。次いで、行き先データ処理装置からの確認が指定のジャンクタを経て送られ、ソースデータ処理装置へ送られる。確認の送信後に、指定のジャンクタが解放される。

並進メッセージのルーティングも同様に行なわれるが、コンソール及び診断プロセッサ 112 は、送信及び受信ロジックを含む診断メッセージ制御ロジック 149 に接続されたバッファ 148 を経て診断メッセージを送信及び受信する。

第 5 図には、メッセージが送られる際にルーティングをそれぞれに対する確認が提供されるときに発生する一連の制御信号のタイミング図が示されている。コンピュータの標準接続アラームは、凡そ 5 秒毎に符号により送信制御セクタされる。R 5 秒タイマ信号がインアクティブになった後に、ソースチャネル X の受信器は通信ケーブル 11 から入っているキャリアを監視する。キャリアが見つかる。受信器は、INTERNAL MESSAGE 信号によって指示されるメッセージの開始を知らせる文字同期コードを探索する。

チャネル X に、メッセージの最初の部分を感知した後に、RECV MESSAGE 信号を中央スイッチャロジックに送信する。中央制御ロジックは、これに反応して、JUNCTION ASSIGNED TO TX 信号を送信する。TX 信号は受信器にジャンクタを指定する。

文字同期コードが受信されたときから、メッセージがバッファ 143 にクロックされる。ジャンクタが指定されるまで、アドレススタックがジャンクタに格納して送られる。次いで、メッセージがバッファ 143 からクロックされて出される。ジャンクタを選ぶメッセージの送信は、余メッセージがチャネル X 受信器によって受信された後にも続けられる。バッファ 143 が空になつて、余メッセージがジャンクタを経て送信されたことを信号すると、チャネル X の受信器は、REVERSE PATH 要求を中央スイッチャロジックに送る。ジャンクタに格納した残量が耗せられると、チャネル X の受信器はメッセージの送信を止める。

ジャンクタに格納した残量を通知することにより、ジャンクタはチャネル X の送信器に指定される。これは JUNCTION ASSIGNED TO TX 0X 00000000 信号によって指定される。ジャンクタがチャネル X の送信器に指定されると、送信器が動作し、チャネル X の受信器はそれ以上のメッセージを送信しないように禁止される。同時に、チャネル X の受信器からチャネル Y の送信器へジャンクタを経てメッセージが送られる間に、チャネル Y の送信器は、ジャンクタがチャネル X の送信器へ指定されたときも動作される。

ジャンクタを経て送られるメッセージの最初の部分は、メッセージの形式を示すコードを含むヘッダバイトを構成している。ジャンクタからの受信の際に、メッセージが肯定 (ACK) できない

し又は否定 (NAK) 確認でもない場合には、Y チャネル受信器及び送信器の制御が ACK/NAK モードに入られ、これは、信号の送信後に、チャネル Y の受信器が行き先データ処理装置からの確認を待たなければならないことを指示する。特に、チャネル Y の送信器からメッセージを最初に送信した後のある時間中に、チャネル Y の受信器が確認を待たなければならない。そしてその確認の受信の際に、順に指定されたジャンクタが確認の送信に指定されているために、チャネル Y の受信器がメッセージのルーティング要求を必要としないことをチャネル Y の受信器に指示する。又、ACK/NAK モードは、メッセージ処理の完了の際に、REVERSE JUNCTION 要求ではなくて DROP JUNCTION 要求を中央ロジックに送信するものであることを Y チャネル受信器に指示する。

第 5 図に示すように、確認は、チャネル Y の受信器の RECV DESTINATION/INTERNAL MESSAGE 信号によって指示される。並進メッセージは、ジャンクタがチャネル Y の受信器に指定されたある時間後に送れる。送信確認のルーティングは必要とされず、メッセージ終了のときに送信制御後、チャネル Y の受信器は、DROP JUNCTION 要求を中央スイッチャロジックに送信する。いったんメッセージが確認されそして確認が終了すると、ジャンクタが解放され、受信制御は、更に前のメッセージを受信するために初期状態に戻る。

第 6 図は、初期ロジック、制御信号、制御ロジックに関連した制御メモリ及びある特定の時間インババル内に制御信号が生成するよう確保する種々のタイマーの機能ブロック図である。

メッセージを送信する場合には、初期回路 142 が RECV MESSAGE REQUEST 信号をマルチキャストデコード及び直列/並列コンバータ 141 へ送る。デコード及びコンバータ 141 は、それ

に反応して、RE MESSAGE 信号を送信し、これはメッセージが受け取られたことを指示する。他のある時間において、初期回路 142 は RE CLEAR MESSAGE 信号デコードに送り、メッセージの送信を阻止する。RX MESSAGE 信号は内部クロックに同期され、INTERNAL MESSAGE 信号を送信制御ロジック 84 に送信する。受信制御ロジック 84 は、メッセージを送信した後に又はメッセージの長がある残量があることを指示する。これは TX 信号カウンタ 151 によって決定されたと、END MESSAGE PROVISION 信号を送信する。又、受信及び送信制御ロジックは、送信制御ロジックがグループバックモードにあるときを助け、送信制御ロジックがビジーであるときに、メッセージの送信を禁止するために、TX BUSY 信号を初期回路 142 へ送信する。

メッセージの処理中に、受信制御ロジック 84 は、多数の異なる要求を中央スイッチャロジック 144 へ送る。これらの要求は、2 つの列への優先順位レベルに答いつてグループ分けされる。REVERSE PATH 要求及び DROP JUNCTION 要求は、各々、指定のジャンクタに格納した残量を通知して指定のジャンクタを落とすよう優先順位の高い要求である。優先順位の高い要求は、ROUTE MESSAGE 及び QUEUE MESSAGE を含む。ROUTE MESSAGE 要求は、ジャンクタが使用できる場合及び行き先ポートがビジーではない場合にジャンクタを指定し、さもなければ、メッセージは行き先ポートに対する待ち行列に格納される。QUEUE MESSAGE は、特定の行き先ポートに対する待ち行列にポートメッセージを要求を入れる。メッセージをルーティングする場合には、中央スイッチャロジック 144 は、中央ロジック制御メモリ 153 を参照し、ワンホックの標準接続アラームの位置を判断する。所望し其情報については、中央ロジック制御メモリ 153 は、スイッチ制御モード

(第3図の121)の中央スイッチロジック144と共に存在する。ルーティングされたメッセージと、行先ポートの受信器によってとらえられ、受信器の間の衝突を防止するために、中央スイッチロジック144がルーティングプロセスの完了時に待ち先ポートの受信器を適宜にリビジョンすることが確保される。それは、マニフェストデコードから発生された制御信号RxCARBIT1は受信器の制御ロジックから中央スイッチロジックへ送られ、受信器がリビジョンであることを指示する。

メッセージは送信チャネルから宛先機器に受け取られるので、受信器の制御ロジックは、中央スイッチロジック144が要求する精度に到達できるかどうか及びそれができるときを知る必要がある。受信器の制御ロジックは、例えば、F1のバッファ143に一時的に記憶されたメッセージをジャンクが提供されるまで送信できない。同時に、送信器の制御ロジック92は、流れ制御信号を送信するためにメッセージを待ち行列に入れた後、ジャンク要求が各行先待ち行列の頭端に達したときを知る必要がある。このような場合には、送信器が流れ制御キャリアをオフにしなければならない。この目的のために、受信及び送信制御ロジックは、ジャンクが受信又は送信頭端に指定又は待機されたかどうかを待ち行列に流れ制御をオンにするかオフにするかを指示する。待ち行列の中央スイッチロジック144から受け取り、ジャンクを指定することと関連すること、ジャンク制御パスを通じて送られる信号から決定することができ、更に、REFERENCE、GROUP JUNCTION及びROUTE MESSAGE要求は、第3図のスイッチ制御パス124を経て送送される信号によって提供することができる。流れ制御は、スイッチ制御パスを経て送られるFLOW-

CONTROL-ON及びFLOW-CONTROL-OFF信号によってオン及びオフに切り換えられる。

メッセージがある所定の時間インターバル内にルーティングされなかった場合には、各チャネル受信器のF1のバッファ(第4図の143)がオーバーフローする。この状態が生じるかどうか決定するために、受信制御ロジックはメッセージルーティングタイム154を測定している。メッセージが所定の時間インターバル内にルーティングされない場合には、それが提供される。ROUTING REQUESTが引き出され、MESSAGE要求が中央スイッチロジックに送られる。少なくとも1つの要求はタイム154は、中央スイッチロジックが適宜な時間インターバル内に他のサービス要求に回答するかどうかを決定する。

メッセージの送信及びジャンクに合った経過の経路の後に、ジャンクは、行き先チャネルの受信器がACK/NACKモードにある状態を待機する間に待機中に指定された状態となる。受信及び送信制御ロジック84、92は、予想ACK/NACKタイマーを命令、これは、受信制御ロジック84が所定の時間インターバル後にACK/NACKモードを出るよう確保すること、受信制御ロジックに動作されたジャンクが落ちるように確保する。このジャンクが落ちるよう更に確保するために、中央スイッチロジック144は、ジャンクが所定の期限時間以上指定されたときに時間切れするジャンクタイマー161を測定している。中央スイッチロジックは、ジャンクタイマーの時間切れを通知する手段、例えば、ジャンクタイマー162及びマルチプレクサ163を備えている。これらの状態がジャンクタイマーの時間切れを見出したときには、ジャンク時間切れ信号(JT)を発生し、これは、サービスジャンクタイマー要求(SJT)を

生じさせ、これが中央スイッチロジック144で処理されることにより各ジャンクが検出される。

メッセージ要求が待ち行列に入れたときには、FLOW-CONTROL-ON信号によって流れ制御がオンになる。メッセージ要求が各行先待ち行列の頭端に達すると、行き先チャネルがメッセージの再送信に指定される。中央スイッチロジックの1番の待ち行列タイマー154は、待ち行列に低い時間遅延された状態にならないよう確保する。ある時間遅延の開始は、中央スイッチロジック144から受信及び送信制御ロジック84、92へ送られるFLOW-CONTROL-OFF信号によって知られる。不適に長い時間が経過したときに流れ制御をオフにするために、流れ制御タイマー157が送信制御ロジック92に提供されている。送信制御ロジック92は、更に、流れ制御データマルチプレクサ145へ送られるFLOW-CONTROL-OFF信号を発生する回路を備えている。又、流れ制御ロジックは、TRANSMIT ENABLE信号を発生し、これは、流れ制御データマルチプレクサ145によって選択/選択制御コンパルト及びマニフェストエンコード146に送られる。

本発明の重要な特徴によれば、流れ制御/データマルチプレクサ145に送られるFLOW-CONTROL信号は、入ってくるメッセージがジャンクを被って送信制御ロジック92へ送られるときに一時的に禁止される。この入ってくるメッセージ(その前にギャップ又はゼロがある)は、FLOW-CONTROL信号に相当して流れ制御データマルチプレクサ145によって選択されたキャリアに挿入される。その後、データ処理装置がメッセージの送信を禁止された時間中に、メッセージの受信が許される。更に、このデータ処理装置への流れ制御信号は、入ってくるメッセージの受信及びそれに対応するACK又はNACKの送信の後に再開される。

受信及び送信制御ロジックがFLOW-CONTROL-OFF信号を受信し、そして流れ制御キャリアが流れ制御/データマルチプレクサ145によってオフにされると、予約禁止されているデータ処理装置が待ち行列タイム154を測定して確保されたある時間遅延内にその希望のメッセージを再送信しなければならない。もしそうでなければ、メッセージの希望の行き先待ち行列に対する待ち行列カウンタ158及びマルチプレクサ159のような装置を命令、これは、待ち行列タイマー156を時間的に動作し、待ち行列タイマーの時間切れを見つけたときに、待ち行列時間切れ信号(QT)を発生し、これはサービス待ち行列タイマー要求(SRT)を生じさせる。中央スイッチロジック144によって到達されたときには、SRT要求が各行先待ち行列の頭端にあるメッセージ要求の待ち行列から落ちるとき、その待ち行列の次の行にあるメッセージ要求が処理されるようになる。

サービス要求を適宜に処理するために、中央ロジック状態メモリ145は、その要求を処理するに必要な情報が容易に利用できるように構成される。ルーティング要求が、例えば、予め定められた状態のスタックフレームによって許可されるかどうか判断するために、中央ロジック状態メモリは、ROUTE MESSAGE要求を発生したソースチャネルの番号を照会してアドレスされる許容ソースセットメモリ164を備えており、更に、中央ロジック状態メモリは、行き先チャネル番号を照会してアドレスされる許容行き先セットメモリ165を備えている。これらメモリに記憶される情報の特定の形式及び使い方は、第1図及び第11図を参照して知られる。

中央スイッチロジック144が所定のソース又は行き先チャ

ネルに各々関連した待ち先又はソースチャンネル状態を決定できるようにするために、中央ロジック状態メモリは、R×状態テーブル166と、T×状態テーブル167とを備えている。同様に、各ソースチャンネルに指定されるジャンクタを指示するテーブル168と、各行を先チャンネルに指定されたジャンクタを指示するテーブル169とが設けられている。サービスジャンクタのタイマ要求に応答してジャンクタを落とすとしてジャンクタの状態を容易に指示するために、ジャンクタ番号によってアドレスされるジャンクタテーブル170が設けられている。ジャンクタテーブルは、各ジャンクタごとに、そのジャンクタが指定されるかどうかを指示し、そしてもしそうならば、ジャンクタが指定されるソース及び行先を指示する。又、ジャンクタテーブル170は、例えば、保守の目的でジャンクタを指定しておくために使用できる状態入力を備えている。

中央スイッチロジック144がメッセージ要求を行き先待ち行列に迅速に出せようとするために、中央ロジック状態メモリは、待ち行列の頭部に各ポイント番号を指定するテーブル172と、待ち行列の尾部に各ポイント番号を指定するテーブル173とを含む。各ポイント番号を有している、頭部及び尾部テーブル172、173の出力は、行き先待ち行列が記憶されるメモリ174の最下アドレス入力へマルチプレクスされる。通常、待ち行列メモリ174及び待ち行列ポイントテーブル172、173の最上アドレス入力は、往も来チャンネルの番号によってアドレスされるが、1つの例においては、以下で述べるように、ソースチャンネル番号によって待ち行列メモリ及びテーブルをアドレスすることが可能である。ソースチャンネル番号又は行き先チャンネル番号の選択は、一列のゲート175、176によって与えられる。同様に、

雑音又は後部ポイントは一列のゲート177、178によって選択される。

メッセージ要求を待ち行列に入れたときに、中央スイッチロジック144は、待ち行列先待ち行列に対して一度だけソースチャンネル番号が得られるように確保することが可能である。待ち先のソースチャンネル番号が待ち行列の待ち先待ち行列に記憶されているかどうか中央スイッチロジックが迅速に決定できるようにするために、待ち行列入力テーブル179が設けられており、これは、ソース及び行き先チャンネルの番号をそれぞれに単一行入力を含む。例えば、64個のチャンネルを各自持たない例においては、待ち行列入力テーブル179は64×4（4×4ビットマトリクス）として構成される。メッセージ要求が待ち行列に入られるたびに、各ビットがセットされ、そしてメッセージ要求が待ち行列から取り出されるたびに各ビットがクリアされる。

図1図は、ハイアラキの機能ブロック図を示す図であり、これは、送信器及び送信器の制御ブロックから中央スイッチロジックへ送られる間接サービス要求を待機するために使用されるものである。第1図は、簡単な図解であり、第2図の使用態様が好ましいことを理解すべきである。第1図に示すように、例えば、各チャンネルのインターフェイスボード122、123は、各リングチャンネルアービトラージ151とを有している。これは、チャンネルインターフェイスボードの各チャンネルに関連した各送信ロジック回路84の特定の1つからサービス要求を選択する。更に、各チャンネルインターフェイスボード122、123は、各リングチャンネルアービトラージ151とスイッチ制御ボード121とのリングボードアービトラージ184に接続する各要求ライン153を有している。リングボードアービ

トラージ184は、リングチャンネルアービトラージ151の特定の1つから要求を選択し、処理されるべき中央スイッチロジックへの要求を送る。又、リングボードアービトラージは、スイッチ制御ボード124を通過して選択されたボードのボード番号を送信し、チャンネルインターフェイスボード122、123の各々に設けられたボード選択コード185にそれを加える。ボード選択コード185は、リングボードアービトラージ184によって選択された特定のボード番号を送信し、リングチャンネルアービトラージ181によって選択されたチャンネル番号を送る。ゲート186、187、188を「イネーブル」する信号を発生する。チャンネルコード189及びゲート190、191によって更に選択されたときには、選択されたボードの選択されたチャンネルの送信ロジックからの要求コードがスイッチ制御ボード124を經てスイッチ制御ボード121へ送られる。要求コードは、例えば、特定のサービス要求を識別する優先度コードと、ルートメッセージ又は待ち行列メッセージサービス要求とに関連した行き先チャンネルを識別する番号とを有している。

第1図のハイアラキ特殊制御の重要な効果は、スイッチ制御ボード121のリングボードアービトラージ184又は他のチャンネルインターフェイスボード122、123のリングチャンネルアービトラージ151に対しては要求を行わずに更に別のチャンネルインターフェイスボードを設置であることである。例えば、チャンネルインターフェイスボードが除去されたときには、それに関連した要求ライン153は単純に無効となり、リングボードアービトラージ184には要求が送られない。従って、リングボードアービトラージ184は、コンピュータ周

辺接続ケーブルに設置されたチャンネルインターフェイスボードからの要求を待機するときに次層ボードを単にスキップするだけである。例えば、第1図に示すように、要求が記憶されるたびに、リングボードアービトラージ及び各リングチャンネルアービトラージが次のアクティブな要求に送らなければならない。特に、要求確認回路（図8のA.C.R.）は、「サービスポート（待機）」として働いて、選択されたボードのリングボードアービトラージ184及び各リングチャンネルアービトラージ151を「クロック」してこれが次のサービス要求を選択できるようにする。この点において、クロックインพุット（C.I.）は、完全に同様の入力であり、環境タイムアウト14193のゲートインพุット入力に対してナンド回路で機能するのが好ましい。通常すれば、クロックインพุット入力（C.I.）が被レベルであるときに、同様のロジック回路は、ロジック回路のレジスタがたとえクロックされたとしても、選択的ナンドバックによる状態を要しない。

第1図のハイアラキ優先権機構に対する別の効果は、主幹ロジックが比較的簡便でありそして特殊ロジックがチャンネルインターフェイスボード122、123に対しては必要とされないことである。更に、リングボードアービトラージ184に対しては各回路は、リングチャンネルアービトラージ151に対する回路と実質的に同じである。

第1図を参照すれば、好ましいチャンネルインターフェイスボード122が詳細に示されており、これは、受信ロジック回路84からの送信確認の要求を待機する特定のリングチャンネルアービトラージ81を有している。本発明の重要な特徴によれば、サービス要求は、優先権決定の要求と高優先度の要

束とにグループ分けされ、各優先順位グループ内で要求を待機するために割り振りデバイスが設けられている。例えば、低優先順位のリングチャンネルアービトラータ201に結合されているのは、チャンネルグループ202及びゲート203、204であり、これらは、ゲート105、107に接続して動作する。低優先順位のリングチャンネルアービトラータ201により与えられたチャンネル番号又は低優先順位のリングチャンネルアービトラータ101により与えられたチャンネル番号のいずれかを返す。

ライン205の高優先順位サービス要求信号は、ボード選択信号206がイエローされたときにゲート203、204又はゲート105、107のいずれかをイエローするためにインポート206に供給される。換言すれば、ボードからのサービス要求が許可されて高優先順位の両方の優先順位要求が存在するときに、中央プロセッサポートバックフィールドバス要求チャンネルが高優先順位要求のチャンネルとなる。

第1図に更に示すように、低優先順位のリングチャンネルアービトラータからの低優先順位要求は、スリット制御ポート121の高優先順位のリングポートアービトラータ207へ送られ、高優先順位のリングチャンネルアービトラータからの高優先順位要求は、これもスリット制御ポート121上にある高優先順位リングポートアービトラータ208へ送られる。ポート208は、HIGH PRIORITY ACK信号及びLOW PRIORITY ACK信号を生成し、チャンネルインターフェイスボード112、113のためのGRANTSERVICE REQUEST信号を発生する。優先順位が許可されたチャンネルのボード選択信号は、2つの3状態ゲート210、212のイエローされた方によって与えられる。ゲ

ート選択信号222の出力は、論理オアゲート225において組み合わせられ、いずれかのチャンネルによって要求が与えられたかどうかを指示する。

第10図には、ベン図が209で一般的に示されており、これは、行き先チャンネル番号に関連した特定の1組のソースチャンネルとして仮想スタカプログラムの定義を示すものである。第10図に示すように、1組のソースチャンネルは1組の行き先チャンネルに実装する。この場合、チャンネルは交換機において互いに自由に遊ばず、その他特定のチャンネル間のメッセージ送信は、ソースチャンネルから行き先チャンネルへのみ行われる。多数のこのようなスタカプログラムをコンピュータの仮想スタカプログラムに対して定めるのが得ましい。いずれの所与のチャンネルも2つ以上の仮想スタカプログラムに含まれる。

第11図には、許可ソースセットメモリ164及び許可行き先セットメモリ165にわたる仮想スタカプログラムを表す好ましい方法が示されている。許可ソースセットメモリ164は、チャンネル番号0ないし53によってアドレスされる64ビットを含んでいる。各ビットの各ビット位置は、そのビットをアドレスするソースチャンネルが各ビット位置に対して仮想スタカプログラムに含まれるかどうかを決定するための論理1又は0である。許可行き先セットメモリ165も同様に1組の64ビットとして構成され、ビットの各ビットは、そのビットをアドレスする行き先チャンネル番号が各ビット位置によって与えられた仮想スタカプログラムに含まれるかどうかを指示するための論理1又は0である。

特定のソースチャンネルからのメッセージが特定の行き先チャンネルへ送られることが許可されるかどうかを判断するために、許可ソースセットメモリ164の各ビット出力ラインが論理アン

ドート219は、高優先ポートアービトラータ203のHIGH PRIORITY出力によってディスイネーブルされる。ゲート220は、HIGHPRIORITY出力によってイエローされる。

逆転論理要求及びドロップジャンク（ジャンクを落とす）要求は、高優先順位要求としてグループ分けされ、ルートメッセージ及び待ち行列メッセージ要求は低優先順位要求としてグループ分けされるのが好ましい。低優先チャンネルドロップ241においては、高優先順位要求がオアゲート210によって組み合わせられ、低優先順位要求がオアゲート211によって組み合わせられる。

第3図には、リングチャンネルアービトラータ101の枠線に似る論理図である。中央スリットドロップのリングポートアービトラータ104についても実質的に同じ論理が使用される。リングポートアービトラータは、最後に優先順位が与えられたチャンネルの番号を記憶するレジスタ221を備えている。次に優先順位が与えられるべきチャンネルは、チャンネル選択ロジック222によって決定される。プログラム可能なロジックアレイを用いることによってこのチャンネル選択ロジックを任意に実装するために、チャンネル選択ロジックはチャンネルグループ223の出力を受け取り、個々のチャンネル選択出力を発生する。これらはエンコダ224へ送られ、そしてこのエンコダは優先順位が与えられるべき次のチャンネルのエンコーダ225に次のチャンネル番号を出力する。チャンネル選択ロジック222に対する論理的な式が添付資料1に示されている。チャンネル223からチャンネル選択信号を受け取るのに加えて、チャンネル選択ロジック222は、その各々のチャンネルインターフェイスボードに関連したチャンネルから個々の要求を受け取る。優先順位が各チャンネルに対して次に行われるべきであるかどうかを指示するチャンネル

ドゲート241を用いて許可行き先セットメモリ165の各ビット出力と論理ANDされる。それ、各ゲートは、コンピュータ相互接続カプラーに対して定めることのできる1組の仮想カプラーの各々に対して特定のソース及び行き先が許可ソースチャンネル及び行き先チャンネルセットに与えられるかどうかを指示する出力を発生する。メッセージは9個の仮想スタカプログラムを1つを通してルーティングすることから特定の場合にルーティングされなければならないので、アンドゲート241の出力は論理オアゲート242で組み合わせられ、メッセージのルーティングを可能にする信号を発生する。

例えば、許可ソースセットメモリ164及び許可行き先セットメモリ165のアロゲータ242が第11図に示されており、これは、仮想スタカプログラムがメッセージを発生するの位置、メッセージを伝送するの位置及び少数の選択されたチャンネルグループ間でメッセージを交換する位置を指定する特定の位置を示すのである。6ビット位置に対して定められた仮想スタカプログラムは、許可ソースセットメモリ164の全てのソースチャンネルに対する論理1を含むが、0の行き先チャンネル番号に対して6ビット位置のみにあたる論理1を有する。それ故、0ビット位置に対して定められた仮想スタカプログラムは、チャンネル8に接続されたデータ終端装置がデータの発生にのみ使用されるようにする。

第2ビット位置によって定められた仮想スタカプログラムは、ソースチャンネル1及び2と行き先チャンネル1及び2に対してのみ論理1を有する。それ故、この仮想スタカプログラムは、チャンネル1と2とそれらの間のいずれかの方角にデータ交換するように互いに接続する。この形式の仮想スタカプログラムは、それらの

各々のアクセスコードをバースンするため各送信サーバに対して定めることができる。又、この形式の仮想スタカフレームは、中央プロセッサのリソースを1つの区画されたプロセッサグループから別のグループへ柔軟に位置設定又は臨時的に移動できるように定めることができる。ビット2位置に関連した仮想スタカフレームは、ソースチャンネル3に対してのみ検理1を含むが、全ての行先宛チャンネルに対して検理1を発生する。それ故、ビット2に関連したこの仮想スタカフレームは、ソースチャンネル3に接続されたデータ処理装置も、他のデータ処理装置へデータを送信できるものとみなして定まる。

第12図には、メッセージ及び検理のための好ましいフォーマットが示されている。メッセージ及び検理は昇降子で区別され、メッセージを搬送するチャンネルからのキャリアが存在しないインターバルによって分離される。各メッセージは、ビット問題を容易にする目的で55(14進)を有するヘッドと、フレーム同期のための偶数5(14進)を有する文字同期ビットと、メッセージの長さ又は宛先の情報(ACK/NACK)が提供されるかどうかを示すビットと、メッセージの長さを指示するビットと、所望の行先チャンネル番号等を指示するビットと、所望の行先チャンネル番号の再検査を示すビットと、メッセージのソースチャンネル番号を指示するビットと、メッセージの長さによって予め指定されたデータバイトの値と、通り遅し冗長チェック(CRC)と、値7(14進)を有するトレーラとを順次含んでいる。正及び負の値は(ACK/NACK)のフォーマットでは、第12図に示す形態と同様であるが、この場合には、メッセージの長さを示すビットが除去されそしてデータも除去されていることに注意されたい。

ットされる。このヘッダ時間切れインターバル中にキャリアが失われることは、アンドゲート268によって検出され、ヘッダ時間切れフラグをセットする2つの状態はオアゲート263において合成される。

メッセージデコーダがビジーになった後に同期文字が見つかったときメッセージの存在を信号するために、アンドゲート264がフリップフロップ276をセットする。このフリップフロップがセットされると、3ビット2進カウンタ265は、直列/並列コンバータレジスタ267に現れるビットのためのクロックを発生するためにカウンタを開始する。フレーム同期バイトは、カウンタ265が7の値に達したことがアンドゲート265によって検出されると、出力レジスタ267へストロープされる。フレーム同期ワードは出力レジスタ267に受け取られるようにするために、オアゲート269はB Y T 6番号をアンドゲート276の出力と合成し、出力レジスタ267に接続されたシフトレジスタ270を発生する。出力レジスタ267から現れるビットのためのパイロクロックは、3ビット2進カウンタ266の出力Q2によって与えられる。出力レジスタ267からのデータを内部クロックと同期するために、一列のゲート271、272及びフリップフロップ273を用いて、オアドラムパイロクロックが生成され、これは、3ビット2進カウンタ266の出力Q2に接続して与えられる。

入ってくるメッセージを監視するために、メッセージデコーダをハンドシャイモードで動作して、メッセージデコーダがNEW MESSAGE EQU を受け取った後のみメッセージを確認するようにし、1つのメッセージを完全に検理してから別のメッセージデコーダによって検理されるようにする。このため、メッセージの

第13図は、第12図に示すメッセージフォーマットに基づいてメッセージを最初に検出するための発生ロジックの概略図である。データ処理装置から送られたメッセージは、多数としてここに取り上げられるスタート氏の検出部254、502、507号に詳細に説明されたように、マンチェスタデコード251及びキャリア検出回路252に受け取られる。第13図のメッセージデコーダは、フリップフロップ253により決定される2つの状態の1つにある。メッセージデコーダは、NEW MESSAGE EQU 信号に応じてリセットされたとき及びキャリアがキャリア検出部252によって検出されなかったときアドレス状態に入る。このため、フリップフロップ253はキャリアの存在によってセットされ、キャリアが存在しない場合に、フリップフロップ254、インバータ255及び256によってリセットされる。

第13図のメッセージデコーダがアドレス状態を出て、キャリアの存在中でビジーになったときには、マンチェスタデコード251からの直列形態のデコードされたデータが直列/並列コンバータレジスタ257へクロックされる。データがこの直列/並列コンバータ257へクロックされると同時に、ヘッダのディフューズインターバルが監視される一方、メッセージデコーダが55(14進)の文字同期値を待機する。この文字同期の存在は、デコード253によって検出される。この同期文字が検出されるのにキャリアが消えるか又はヘッダ時間切れインターバルが経過した場合には、ヘッダ時間切れフラグがフリップフロップ259によって信号される。タイミングインターバルはカウンタ263によって決定され、このカウンタは、メッセージデコーダがアドレス状態のとき、同期文字が検出されたとき又はヘッダ時間切れフラグがセットされたときに、オアゲート258によってリセ

トリがフリップフロップ274によって検出され、このフリップフロップは、フリップフロップ268がセットされそしてキャリアが失われたことがアンドゲート275によって検出されたときにセットされる。それ故、フリップフロップ274は、INCOMING MESSAGE COMPLETE 信号を発生する。アンドゲート276は、フリップフロップ265のQ出力をフリップフロップ274のQ補数出力と合成し、メッセージ発生中に高レベルとなる MESSAGE 信号を発生する。

本発明のコンピュータ相互接続フレームの動作中のある時点で、入ってくるメッセージのメッセージデコーダを禁止状態にリセットすることが望まれる。これは、例えば、チャンネル送信機が動作したときや待たれて、それと同時に入っているメッセージが終了したときにこれがフラグをセットしないようにする。このために、メッセージデコーダは、CLEAR MESSAGE 信号を受け取るオアゲート276を含む。この信号は、フリップフロップ273をセットし、これにより、CLEAR MESSAGE 信号が除去されてその後にはキャリアが存在しないから、MESSAGE 信号を無効的に高レベルにする。

次に第14図を参照して、ここにはチャンネル受信機ロジックのためのメッセージ・シフトロジックおよびサイタル・カウンタの概略図が示してある。受信データ・バイトを内部バイト・クロック281と同様に与えるために、一列のレジスタ282、283が設けられており、これらのレジスタはインバート284で与えられるようなバイト・クロックの18分位精度で同期せられ、最大許容メッセージ長に相当する範囲かられた保持時間を有するメッセージの場合、これら2つのレジスタ282、283のうちの1つのレジスタの出力が2つのゲート285、286のうちの対応したゲートによって選択されて受信データ・クロック281に同期したデータを与えることができる。これら2つのゲートのうちどれを使用可能とするべきかを決定するために、内部バイト・クロック281によって同期されるフリップフロップ287が第13図のメッセージ・デコードからの直列検分分選手段バイト・クロックをサンプリングする。さらに、この決定は、MESSAGE 信号が存在しないときのみ送信フリップフロップ287を使用可能とするこによりメッセージの保持時間の制限される。フリップフロップ287は2つのクロックを使用禁止とするのに必要な遅延は遅延フリップフロップ288が与える。バイトを内部バイト・クロックに同期した開きをするために、内部バイト・クロック281によって制御される出力レジスタ289が設けられている。受信メッセージからのバイトをフリップフロップ289によって与えられたバイトが変更されているときそれを示すINTERNAL MESSAGE信号を送信フリップフロップ289を与える。

第13図のメッセージ・フォーマットにおける個々のバイトを識別するために、それぞれが出力レジスタ289の出力として出力したときにシフト・レジスタ・サイタル・カウンタ

291が対応したストローブ信号を発生する。このシフト・レジスタ・サイタル・カウンタはINTERNAL MESSAGE信号のラードエッジを検出するANDゲート292によって与えられる初期パルスを受け取る。同様に、INTERNAL MESSAGE信号のトリレインエッジでEPP MESSAGE 信号をANDゲート293が発生する。

ここで、第12図のフォーマットがメッセージのためのフォーマットであり、送信肯定信号コードのためのフォーマットも長きバイトがないことを除いて同様のものであることを思い出されたい。サイタル・シフト・カウンタ291がメッセージの受信開始のためのバイトを復号するに使用できるようにして、余餘的に294で示すマルチプレクサが設けられており、これは送信肯定がチャンネル受信機ロジックで予想される場合にDEST、DEST補数、SOURCEストローブ信号に対するストローブ・パルスの位置をシフトする。

第14図には、第13図のメッセージ・デコードにANDシフト・メッセージ抽出信号を与えるロジックが示してある。メッセージ処理の終りで遅延はフリップフロップ295 AHEAD MESSAGE REQUEST 信号を発生する。シフトAND RESET 信号に対応するか、あるいは、チャンネル送信機が使用中であるときには、任意の期待メッセージが拒絶され、新しいメッセージがトリグエストとされなければならない。このために、ORゲート296がシフトAND RESET 信号とTX BUSY 信号とを組合わせてチャンネル受信機へのCLEAR MESSAGE 信号を発生する。また、第13のORゲート297がこのCLEAR MESSAGE 信号をフリップフロップ298の出力と結合させてAHEAD MESSAGE REQUEST 信号を発生し、この信号が第13図のチャンネル受信機に与えられる。また別のORゲート299が用いられてCLEAR MESSAGE 信号をANDゲート292の出力と組合わせ

でチャンネル受信機ロジックのための1N1T1T信号を発生する。その結果、チャンネル受信機ロジックは、チャンネル送信機が使用中であるか、あるいは、システムRESETが発生するときにいつでも、もしくは、抽出されたメッセージが出力レジスタ289の出力前に現れる直前にリセット状態になる。

次に第15図を参照して、ここには、メッセージ・リセットを発生し、メッセージ処理を終了させるチャンネル受信機ロジックの概略図が示してある。一般的には、チャンネル受信機ロジックは行先先および行先メッセージが互いに一致したとき、メッセージのソース数か物理的チャンネル数に一致したとき、メッセージのタイマーが予約タイマーと一致しかつ予想タイプがACRまたはNAKコードでないとするとリセット・メッセージ・リセットを発生する。

行先先が予約数値に一致しているかどうかをチェックするために、行先先はレジスタ301にストローブされる。2入力・専用ORゲート302と2入力ANDゲート303とからなるバンプがレジスタ301にストローブされた行先先を受信メッセージ内のデータ・バイトと比較する。DEST期間中に比較がなされたかどうかをフリップフロップ304がチェックする。さらに、フリップフロップ305が用いられる。行先先と行先先数値が互いに一致しない場合には行先先不一致フラグを制御プロセッサに送る。同様にして、データ・バイトはソース・コンパレータによって比較される。このソース・コンパレータは一通の専用ORゲート3067とANDゲート308を包含する。このANDゲート308は501Rと501S208を乗算する。メッセージ内のソース数値がチャンネル受信機のチャンネル数と一致するとき501Rの信号を発生するインバート289に信号を送る。さらに、

フリップフロップ301が論理ノロセッチにソース一致フラグを発生。このようなフラグは、たとえば、送信ケーブルが故障特定のデータ処理ユニットからコンピュータ接口装置からの割り当てチャンネルにリセットしてこれを示すことを示す。

メッセージまたはコードのタイプを通知する目的で、データ・バイトはACRコード3011およびNAKコード3012に送られ、これらのデコードの出力はORゲート303によって組合わかれてそのメッセージがACRコードであるかNAKコードであるかを指示する。

チャンネル受信機ロジックがACRコードあるいはNAKコードのいずれが予想されるかを決定するために、フリップフロップ304がシステム・リセット信号、受信機が予約値にリセットされたジャンダの検数値、そして、送信肯定信号タイマー306の満了信号によってリセットされる。これらの信号の必要な組合わせはORゲート306によって与えられる。予想肯定信号タイマー306は、好ましくは、既知肯定信号の復読遅延のためにジャンダが予約される時間を測定する。したがって、予想肯定信号タイマー305は、肯定信号が予想されるとき、ジャンダがチャンネル受信機に加えられたときと施され、復読肯定信号またはメッセージのタイプが決定されるときまで待ってカウンタを行わなければならない。したがって、予想肯定信号タイマー306を制御するために、フリップフロップ307が設けられており、これは肯定信号が予想されるときジャンダがチャンネル受信機に加えられたときにANDゲート308によってセットされ、肯定信号が予想されないかあるいはTYP RUS ストローブが発生したときにORゲート309によってリセットされる。

送ったタイプのメッセージまたは送信肯定信号を待たずに、

専用ORゲート313がフリップフロップ314からの予想タイプをORゲート313によって示される受信タイプと比較する。専用ORゲートの出力は1ドビストロブによって使用可能とされたANDゲート315に送られる。メッセージのタイプが予想タイプと一致していないときはフリップフロップ312をセットする。さらに、ANDゲート312にフリップフロップ312をセットして振ったタイプのメッセージまたは受信応答が受け取られたことを示すフラグを登録プロセッサに送る。

メッセージを送信するリクエストはANDゲート314およびフリップフロップ312によって決定せられる。メッセージの待ち先と先き確認が一致しているときには、メッセージは肯定応答コードでない適正タイプを押し、メッセージのソース数値がチャネル送受信機の物理的なチャネル数と一致する。フリップフロップ312がセットされると、メッセージ送信指定タイム154も送信可能とされる。ジャンクタがチャネル受信機に知らせられたとき、または、チャネル受信機がメッセージ受信機開始時に初期化されたとき、あるいは、メッセージの送信指定がフリップフロップ312によってリクエストされて、メッセージ送信指定タイム154がタイムアウトしたときORゲート315によってフリップフロップ312がリセットされる。この最後の送信機はANDゲート317によって決定される。したがって、このANDゲート317は、先入れ先出しバッファ（第4図の143）がオーバフロー無しに少なくともメッセージの開始部分を確信に記憶するように選ばれた特定の時間限度内で中央スイッチ、ロジックがマルチ・メッセージ・リクエストに高値し続けたことを示すMESSAGE ROUTING TIMEOUT 信号を発生する。ここで、中央スイッチ・ロジック（第4図の144）が行き先

送信機または受信機が使用中であるあるいはアイドル・ジャンクタが利用できないのにメッセージを送信できない場合、この中央スイッチ・ロジックが行き先キューにメッセージ・リクエストを置き、チャネル受信機、送信機にFLOW-CONTROL-OFFを送るようになる。このとき、フリップフロップ315は1617信号によってリセット状態となる。

第15図にはORゲート312も示してある。このORゲートはEND RES. PROC. 信号をメッセージ処理の終了時に発生する。行き先不一致、ソース不一致、振ったタイプのメッセージまたは肯定応答の受信、肯定応答タイムアウト、メッセージ数が規定の最大メッセージ数を超える場合、チャネル送信機からドロッパしたジャンクタ、メッセージのキューイングの終了のいずれかがあるときにメッセージ処理は終了する。メッセージが規定の最大メッセージ数を越えたかどうかを知るために、最大メッセージ長のカウンタ151がインバート318によって示すように、メッセージの正しいときにアリティ・カウンタに保持され、メッセージ中にタイムアウトが発生すると、フリップフロップ313がセット状態になる。このときANDゲート315がフリップフロップ312をセットし、メッセージが終了することを示すフラグを制御プロセッサに送る。ANDゲート315はフラグ・フリップフロップ312がメッセージあたり1回以下にセットされることを保証する。

次に第16図を参照して、ここにはメッセージ・キューイングのためのチャネル受信機・送信機ロジックが概略図で示してある。第15図からのMESSAGE ROUTING TIMEOUT 信号がフリップフロップ341をセットし、これは中央スイッチ・ロジックにキュー・メッセージ・要求を送る。また、MESSAGE ROUTING TIMEOUT

信号は要求肯定応答タイム342をセットする。ANDゲート343で検出されるようにこのタイムがキュー・メッセージ・要求の満足化の前に届くとき、フリップフロップ344はセット状態になり、診断プロセッサにキュー・要求・エラーを知らせる。キュー・メッセージ・要求を発生するフリップフロップ341は1N17信号によって、キュー・要求・エラーの発生時のANDゲート343によって、あるいは通常では、中央スイッチ・ロジックからのFLOW-CONTROL-OFF信号によってリセットされる。これらの状態の組合せはANDゲート345によって与えられる。キューイングの終了は、キュー・要求・エラーが発生するあるいはフロー・コントロールがオンになったときはいずれも別のORゲート345によって決定される。

送信機のためのフロー・コントロールの制御はフリップフロップ347によって示される。このフリップフロップは中央スイッチ・ロジックからのFLOW-CONTROL-状態によってセットされ、レジスタRESET 信号によって、中央スイッチ・ロジックからのFLOW-CONTROL-OFF 信号によって、あるいは、フロー・コントロールがオンであるフロー・コントロール・タイム157の満了時にリセットされる。必要な送信機および受信機はANDゲート348およびORゲート349によって行われる。フロー・コントロールがオンでフロー・コントロール・タイム151が満了すると、フリップフロップ348がセットされ、診断プロセッサにフロー・コントロール・タイムアウト・フラグを送る。

フロー・コントロール・フリップフロップ347がセットされた場合、あるいは、ジャンクタがチャネル送信機に割り当てられ、チャネル受信機に割り当てられていない場合には、チャネル送信機が使用中と想定される。これらの状態はインバート350、

ANDゲート351およびORゲート352によって解読される。上述したように、チャネル受信機はチャネル送信機が使用中と認められるときに停止される。しかしながら、ANDゲート353によって検出されるようにジャンクタがチャネル送信機、受信機の双方に割り当てられたときに発生するメンテナンス・モードではこれらのチャネル送信機、受信機は同時に動作である。

データ制御装置によって送られてくる任意のキューが終了するまでデータ送信機へのフロー・コントロール・キューの送達を遅延させると想定し、特に、データ送信装置の送受キューが満了するとフロー・コントロールキューがオンになるまでの間に約5クロック・サイクルの停止があると想定し、したがって、FLOW CONTROL EXIT 信号がフリップフロップ354によって発生せられる。このフリップフロップはフロー・コントロールが正しいときにリセットされ、チャネル長は約の満了までキューが保持した約5クロック・サイクルでセットされる。フリップフロップ354によって必要でない・リセット条件は3ビット二進カウンタ155。ANDゲート355およびインバート357によって決定される。

次に第17図を参照して、ここには先入れ先出しバッファ143のためのスイッチ・マトリックスインバート・フロー・チャネル受信機ロジックが示してある。チャネル受信機が肯定応答を予測していないとき、ジャンクタがチャネル受信機に割り当てられるとすぐに、それがインバート351およびANDゲート358によって検出されて上方はスイッチ・マトリックスに送られる。肯定応答が予測される場合には、ジャンクタがチャネル受信機に割り当てられ、送信機が肯定応答を受け取れたときスイッチ・マトリックスへの送給が開始する。これらの状態はAND

ゲート3を3によって解除され、ORゲート354によって転送信号が与えられる。また、タグがスイッチ・マトリックスに送られる。たとえば、ジャンクスの識別番号がチャンネル受検後に割り当てられる。タグの転送後、バッファ143からデータが送られてくる。タグの転送時には遅延レジスタすなわちフリックアップ355とANDゲート356によって決定される。このタグまたはバッファのデータ出力のいずれかがスイッチ・マトリックスへの転送のために多重化ゲート357、358によって選択される。バッファが空になったときバッファからのデータ伝送中にANDゲート359によって発生したAND 8FF 8FF信号によって転送の終了が示される。

タグおよびバッファ143からのデータ・バイトに加えて、ジャンクスのパリティビットおよび寄与度ビットが送られる。このパリティビットはパリティ・インコダ371によって発生させられる。寄与度信号はタグが送られたときにもいつても、あるいは、バッファが伝送中に空になったときに発生させられる。これらの伝送状態はインバータ371、ANDゲート372およびORゲート373によって解除される。

次に第18図を参照して、ここには送受機スイッチ・マトリックス9とその制御回路が概略図で示してある。送受機ジャンクスがチャンネル受検機能あるいはチャンネル送信機に割り当てられたかどうかを示す信号を起點デコード381、行き先デコード382およびラッチ383、384が生成し、そのとき、ジャンクスの識別番号が割り当てられる。同様のデコードおよびラッチが他のチャンネル送信機および受信機によって使用される。ジャンクス制御バス383がソース発信機、行き先受信機およびジャンクス制御バスを通して指令バスが送られるときに割り当てられるべき

あるいはドロップされるべきジャンクスを指定するための複数のラインを包含する。一本のラインはその指令バスがジャンクス割り当て動作あるいはジャンクス・ドロップ動作と割り当て合わされていかどうかを指定する。ジャンクス制御バスは割り当てられたジャンクスのすべてを同時にドロップさせるリセット・ラインも包含する。

ジャンクスを割り当てるとドロップさせるために、指令バスはラッチ283、384を制御して送り、これらのラッチは、それぞれ、割り当てられたジャンクスの識別番号と割り当て解除・ラインのストロープ線を起點してジャンクスが解除されたのか解除させられたのかを示す出力ビットを発生する。ラッチ283、384はそれぞれにデコード385、386が結合してある。各デコードのセレクト入力部はラッチされたジャンクス識別コードを受け取る。各デコードはジャンクスが割り当てられたかどうかを示すビットを受け取る出力インバータ入力部も有する。したがって、デコードの出力部は各ジャンクスへの接続を可及とするセレクト信号を発生する。ジャンクス・バスから送られて、受け取ることになっているデコードは一般にゲート387によって順に演算されたジャンクスに多重化され、一組のゲート388によって多重解除される。

第18図からわかるように、基方向ゲートを用いてジャンクスへの、そして、ジャンクスからのデータを多重化しようとしている場合、ゲートの相互接続が真でないなければならない。しかしながら、本発明等では、これが必ずしも真でないというだけ（べき）発見をした。畢竟、ANDゲートの3つのレベルを用いてジャンクスの、そして、ジャンクスからの多重化、多重解除の両方を行うマルチプレクサ・アレイを構成することができる。

次に第19図を参照して、ここにはジャンクス・バスにチャンネル受検機をインターフェース接続するための、全体的に231で示すスイッチ・マトリックス周の解決し問題が示してある。本発明の一例によれば、チャンネル・インターフェース・ボード（第3図で122、123）がボード・デコードの両プロダクトを必要とすることなく自由に受検できる。代わりに、カード・デコードの種々のスロットがスロット番号を示すように配線された一組の端子コネクタを包含する。したがって、問題点をある特定のスロットに挿入したとき、スロット番号がカードに連ねる一組のライン入力に現われる。ボード選択はANDゲート393に組み込まれた出力部を有する一組の専用ORゲート392によって行われる。こうして、ANDゲート393がボード・セレクト信号を発生する。このボード・セレクト信号はジャンクス・セレクト394の出力部を可用可及とするのに用いれる。このジャンクス・セレクト394はレジスタ395のクロックを使用可能とするのに用いられる種々の出力部を有する。このレジスタ395はジャンクス制御バスのソース・セレクト・ラインからチャンネル番号を受け取り、また、ジャンクス制御バスから割り当て／解除ラインを受け取る。レジスタ395の出力はデコード396の入力部に送られる。このデコードは全体的に397で示すAND多重化ゲートの第1レベルを使用可能とする種々の出力を発生する。ゲートの第1レベルの出力は全体的に398で示すANDゲートの第2レベルによって組み合わされる。デコード398の第2レベルはレジスタ395にラッチされ割り当て／解除信号によって3状態化される。3状態ゲート397を使用する代わりに、オープン・コレクタ・デコードを用いてジャンクスに付てワイヤードOR接続機能を行ってもよい。

次に第20図を参照して、ここにはチャンネル送信機のためのスイッチ・マトリックス399が概略図で示してある。ここで特別なように、第19図に示すものと同じ回路配置が使用される。ここで必要とされるのは、ジャンクス・セレクト・ラインをチャンネル番号とセレクト・ラインと一様に割り配れる。ジャンクスがANDゲート398の第2レベルの出力部で代わりのANDゲート397の第1レベルの出力部に送られるということである。この場合、ジャンクスの数が種々のチャンネル・インターフェース・ボード上のチャンネルの数に等しいというのを留意されたい。第19図の構成要素と同じである。第20図で示している送受機は同じの識別番号で示してあり、類似した構成要素は同じの識別番号でジャンクス信号を受け取っている。

次に第21図を参照して、ここにはジャンクス解除要求およびジャンクスの戻り動作を示すチャンネル発信機回路を概略図で示す。ANDゲート401によって解決されるように、チャンネル発信機が有るジャンクスに割り当てられ、新しいメッセージ・要求・ベンディングがあり、肯定応答が予想されない場合には、スタック・ジャンクスが先に接続されている場合を除いて、ジャンクス解除要求が開始される。また、ゲート402によって解除されるように、宛先デコードが割り当てられ、肯定応答が予測され、FIFOバッファからの送信が待たされる場合には、スタック・ジャンクスが先に抽出されている場合を除いて、ジャンクス解除要求が開始される。ゲート403、402の出力はORゲート403で組み合わされ、ジャンクス解除要求を至すフリップフロップ404をセットするのにも用いられる。ゲート405で解決されるように、肯定応答が予想されない場合、スタック・ジャンクスが先に抽出されている場合を除いて、FIFO

バックからの通信の終了時にジャンタ反転要求が開始される。ゲート405はジャンタ反転要求を示すフリップフロップ405をセットする。

或る期間内にジャンタの解除あるいは逆転がない場合、それは誤動作肯定応答タイム15によって通知される。このタイムはANDゲート407、408、インバータ409およびANDゲート410によって後述されるように成るジャンタ解除要求またはジャンタの反転要求が開始されたときにはいつでもリセットされる。誤動作肯定応答タイム15がタイムアウトし、ジャンタ解除要求またはジャンタ反転要求が行われているときにスタック・ジャンタが示される。この状態はANDゲート411によって解除される。スタック・ジャンタの発生時、フリップフロップ412がセットされ、診断プロセッサにスタック・ジャンタ・フラグを送る。このフリップフロップ412はリセット解除禁止も発生し、これはANDゲート413を経てフリップフロップ406に送られ、NANDゲート414、415およびインバータ416を経てフリップフロップ405も解除する。

診断プロセッサにスタック・ジャンタの識別番号を知らせるために、ゲート411からのスタック・ジャンタ信号に必要とされるレジスタ417が設けられている。

次に第2図を参照して、ここにはジャンクタ・チャネル受検機に割り当てられた出力を後述するブロックが示してある。このブロックはチャネル受検機ジャンクタ割り当て信号をサンプリングする送信フリップフロップ421と、インバータ422と、ANDゲート423、424とを含む。

次に第3図を参照して、ここにはチャネル送信機のブロックを接続図で示してある。第2図のスイッチ・マトリックス

353からのバイト・パリティ信号および有効データ信号にそれぞれレジスタおよびフリップフロップ431、432、433に接続される。ラッチされた有効データ信号はANDゲート434においてチャネル送信機ジャンクタ割り当て信号と組み合わされて送信機を加減させる。初期パルスが送信フリップフロップ435およびANDゲート436によって与えられる。この初期パルスはシフト・レジスタ437のシリアル入力部に送られて割り当てられたジャンクタを介して送られるメッセージの開始時に種々のデータ・バイトのためのストローブ信号を発生する。チャネル送信機ブロックのためのストローブ信号はインバータ438およびORゲート439によって与えられ、システム・リセットが生じたとき、そして、有効データがチャネル送信機に割り当てられたジャンクタからも受け取れなくなったときにはいつでも送信機回路はリセットされる。

割り当てられたジャンクタからのデータ・バイトのパリティはパリティ・エラー・デコード440によってチェックされる。NANDゲート441はデータが有効であると認定されるときにパリティ・エラーが生じたかどうかをチェックし、エラーが生じたときには、フリップフロップ442およびパリティ・エラー・フラグをセットし、これが診断プロセッサに送られる。

メッセージのタグにおけるジャンクタ識別番号が実際にチャネル送信機に割り当てられたジャンクタの識別番号と一致しない場合にはデータ送信を停止するために、1位の専用ORゲート443、NANDゲート444およびANDゲート445が或る信号を発生する。このとき、フリップフロップ446がフラグをセットし、このフラグが診断プロセッサに送られる。

チャネル受検機が肯定応答を準備すべきかどうかを決定する

ために、NANDデコード247およびANDデコード248の出力がANDゲート249において組み合わされ、ジャンクタからのバイトが正または負の肯定応答コードを含んでいるかどうかを示す信号を発生する。チャネル送信機はそれに対応したチャネル送信機が肯定応答コードなしに先にメッセージを送った場合に肯定コードを準備するので、シフト・レジスタ・サイクル・カウンタ437は出力マルチプレクサ450を有し、受検機が肯定応答コードを準備するときにはこの出力マルチプレクサ450がメッセージのためのストローブ信号を選択する。

行先バイトがチャネル送信機のチャネル番号と一致しないときに送信を停止するために、行先デコード451が設けられており、そのシフト出力はANDゲート452においてTX-RDSのストローブ信号でゲートを制御され、この行先バイトをチャネル送信機の実際のチャネル番号と比較する。ANDゲート453の出力はフリップフロップ453をセットして行先エラー・フラグを発生させる。これが診断プロセッサに送られる。行先エラーのなかった場合、メッセージまたは肯定応答のごく始めの部分でも送信を停止するを望ましい。この目的のために、行先コードがチェックされ得るまで肯定応答またはメッセージの冒頭部分を一時に記憶する必要がある。そのために、5バイト先入れ先出しレジスタ454が設けられている。このレジスタはバイト内の8ビットを常に3つのセレクト・シリアル・シフト・レジスタを有する。

メッセージまたは肯定応答が誤ったジャンクタから来たか、あるいは、送った行先を示している場合に送信を停止する信号を発生させるために、フリップフロップ455がTX-RDSによってセットされ、ANDゲート456で高レベルのように、ジ

ャンクタ・エラーまたは行先エラーのいずれかが発生したときにリセットされる。さらに、送信の開始時刻を知するために、別のフリップフロップ457が設けられており、これはTX-RDSのストローブ信号によってリセットされ、P-R-X-M-J1信号によってセットされる。したがって、送信は、P-R-X-M-J1ストローブの後のサイクルと共に開始する。このサイクル(C12-1211)ストローブで示してある)の、55-116進期間コード458がメッセージまたは肯定応答のジャンクタ識別番号の所定位置に再挿入される。そのために、一部の多量記憶ゲート459、460が設けられている。ゲート460はフリップフロップ460、461の出力を組合わせるANDゲート461によって使用可能とされる。

本発明の重要な特徴によれば、受け入れメッセージは行先データ処理機能に送られるフロー・コントロール・キャリア信号に挿入され得る。しかしながら、この場合、メッセージまたは肯定応答の前の或る期間においてフロー・コントロール・キャリアが存在しない休止状態を挿入するものが望ましい。さらに、メッセージまたは肯定応答の送信の終了時、このときまでフロー・コントロールがある場合にメッセージの後に休止状態を挿入する必要がある。この休止状態の間、たとえば、データ処理機能が肯定応答をメッセージに送ることができず。

このような場合にフロー・コントロール・キャリアを停止するために、ANDゲート462が設けられており、これは送信機が使用中のときとか、TX-RDSのストローブ信号がローレベルのときとか、あるいは全体的に463で示すタイムアウトまたは全体的に464で示す第2タイムアウト・ロジック信号を発生したときとかに使用禁止とされる。第1タイムアウトは肯定応答が了解されるときに

その後クロック・サイクルにわたってロー・ロジック信号を発生する。第2タイマ64はメッセージ・コードまたは特定番号コードが実際に送られてきたときにその後のクロック・サイクルにわたってロー・ロジック信号を発生する。タイマ62、465は各々、3ビット二進カウンタ455、456とANDゲート467、468とを包含する。ORゲート469が455-456の出力等をゲート462の出力と結合させてゲート459を使用可能とし、キャリアを送信する。ORゲート470がインバール信号を生成しタイマ453、460に結合する。メッセージのヘッダあるいはデータ送信中のいずれかで実際のデータ送信を可能とする信号を発生させる。

マンチェスタ (Manchester) エンコード147内の直列・直列変換器は並列ロード・シフト・レジスタ471と専用ORゲート472とを包含し、この専用ORゲートはシフト・レジスタ471のシリアル・データ出力をシフト・クロックで変換する。このシフト・クロックは内部パイロ・クロックの周波数の8分の周波数で動作するマスタ・クロック475によって与えられる。内部パイロ・クロック281はマスタ・クロックによって同期される3ビット二進カウンタによって与えられる。パイロ・クロックはカウンタ281のQ出力部から与えられる。並列インバール入力信号・レジスタ471に与えられる。カウンタ281の出力Q<sub>0</sub>、Q<sub>1</sub>、Q<sub>2</sub>はANDゲート473によって組み合わされる。パイロ・クロックがパイロのときでメッセージまたは肯定応答が送られていないときにキャリアの送信を防止するために、ORゲート479の出力はゲーティング信号としてANDゲート474に送られる。このANDゲート474が専用ORゲート472の出力をゲート無効とする。

キュー・メッセージ・要求 (QM)、サービス・キュー・タイマ・要求 (SQT) を示す信号が与えられる。

入力レジスタ481内に保持された割り込み信号の値はキュー番号 (ENM) を与え、このキュー番号は全体的に409で示す方向ゲーティング信号を用いて制御回路パス120を中央ロジック状態メモリ153内に多角化する。

パイロ・シフト・カウンタ486はP0、P1等から連続的にカウントを行い、最終的には、多くの低優先度の待機中のリクエストの処理が終了したことを示す。処理後の状態はORゲート500に送られる。このORゲートはシステムバス253で信号を受け取る。ORゲート500の出力はパイロ・シフト・カウンタを初期値1でリセットさせ、入力レジスタ481の同期動作を可能とさせる入力レジスタが新しいリクエストを受け取るようにする。さらに、入力レジスタ481はリクエストが与えられた入力レジスタにストロープされたい場合に新しいリクエストを受け取れるようにさせる。これらの状態はANDゲート502、ORゲート503によって監視される。ORゲート503からの信号はダンピング信号または不応答信号を発生し、この信号は割り込み信号のためのハンドシェイクとして使用することができる。

高い優先度の要求を知るための信号を発生する。ANDゲート504が設けられており、高い優先度の要求が処理されつつあるときにORゲート505からの信号を発生しようとしている。同様に、ANDゲート506は、低い優先度の要求が処理されつつあるときにORゲート508の出力を通過させて高い優先度の要求のための否定応答信号を発生させる。

結合セロジック497はそこに対応される出力を有するステータス・レジスタ509のための入力決定する。さらに、結合セ

次に第24図を参照して、ここにはランダム・インターフェース・ボードからの要求に応答する中央ユニット・ロジックが強調線で示してある。このロジックは、第7、8、9図に於いて上述したように、それぞれの高優先度リクエスト・ボード・アドレス・レトリックの低い優先度の要求情報と高い優先度の要求情報を受け取る。

処理すべきリクエストを受け取るために、中央ユニット・ロジックは入力レジスタ491を包含する。この入力レジスタ491は高い優先度の要求が存在する場合に高い優先度の要求情報を受け取るが、さもなければ、従来の低い優先度の要求情報を受け取る。高優先度の要求情報の多角化が一例のゲート492、493およびインバータ494によって行われる。入力レジスタ491は高い優先度の要求が存在するかどうかに応答する信号、低い優先度の要求が存在するかどうかを示す信号、タイムアウトがジョインタ・タイマ161で達したかどうかを示す信号、タイムアウトがキュー・タイマ156から低化したかどうかを示す信号、Q<sub>0</sub>で受取れる。入力レジスタ491は断続プロセスからのロー・高割り込み入力も受け取る。

この割り込み入力ローを主張している場合を除いて、新しい要求が入力レジスタ491にストロープされたとき、パイロ・シフト・カウンタ396がカウントを開始する。このパイロ・シフト・カウンタは復出力P0、P1、P2等を与える。これらの出力は結合セロジック497に送られる。また、この結合セロジックには、要求優先度信号・デコーダ488から個別に信号された信号等が送られる。これらの信号には、サービス・ジョインタ・タイマ・要求 (SJT)、法バス・要求 (RP)、フロー・ジョインタ・要求 (DJ)、ルート・メッセージ・要求 (RM)、ロジックは中央ロジック状態メモリ153を読み出し、中央ロジック状態メモリに読み込むことができ、ここには、特に、メッセージ要求を行き来キュー上に置く動作とメッセージ要求を行き来キューから取り出す動作を含む。メッセージ要求が与えられるかどうかを迅速に決定するために、結合セロジックは与えられた状態を決定する優先セロジック501を包含する。

次に第25図を参照して、ここには要求優先度デコーダ488が強調線で示してある。要求はそれぞれANDゲート511、512、513、514、515、516によって発生される。これらのゲートは、すべて、出力キュー・ポイン (OP) によってゲート無効される。

サービス・ジョインタ・タイマは、ゲート511が1つだけの入力を有する事実から明らかである。最高優先度を有し、要求優先度ジョインタのQ<sub>0</sub>、入力部が他のすべてのANDゲートを無効にする。次に(RP) 要求およびジョインタ・ポインタ (D) 要求はQ<sub>1</sub>入力によって使用可能とされる事実から明らかである。次に高い優先度を有する。このQ<sub>2</sub>入力はサービス・ジョインタ・タイマ・要求を発生しているゲート511を除いて他のANDゲートのすべてを無効にする。ルート・メッセージ (RM) 要求およびキュー・メッセージ (QM) 要求は次に低い優先度を有する。これはサービス・キュー・タイマ (SQT) のためのANDゲート516の出力を使用禁止にする。Q<sub>4</sub>入力によって使用可能とされるという事実から明らかである。サービス・キュー・タイマ要求 (SQT) は最も低い優先度を有する。これは、他のリクエストのうちどの程度の要求の存在で使用禁止とされるからである。低い優先度の要求はインバータ517を使用してサービス・キュー・タイマ・要求を抑制する。低い優先度の要求はイ

インバート518を解除して起い優先順位の変更およびサービス・タイム・タイム・要求を中止する。サービス・ジャンク・タイム要求はインバート519を使用してすべての他の要求を中止する。インバート520は事後の優先順位の変更がグループの各々において2つの異なる優先順位で選択を行うのに使用される。

次に第5図を参照して、この図は全体的に517で示す許容遅延時間のロジックの概略図である。Oレグート42は、第18、111図に開示して説明したように、肯定のソースおよび行先が少なくとも1つの希望ステータス内に含まれているかどうかを示す指示を発行する。さらに、行先とソースが同じであるか、あるいは、行先先覚テーブル517で示すように行先が「ループバック」モードで置かれた場合には遅延固定化を容許されない。尚且つソースの一意は一意の専用Oレグート541とNレグート542によって検出される。ループバックの場合にはインバート543がソースから宛先への遅延固定化を防止する。行先が存在していない場合には遅延固定化は禁止される。

許容遅延固定化ロジック517は中央スイッチ・ロジックのP3タイタリタリに使用可能とされ、Oレグート544で示すようにビルト・メッセージ・リクエストおよびキュー・メッセージ・サービス・リクエストの両方について使用可能とされる。遅延固定化545はルート・メッセージ指令あるいはキュー・メッセージ指令の使用を容許するに必要ない状態検出を解除する。不許可遅延固定化により処理が停止した場合には、メッセージ遅延フラグがセットされて不許可状態検出を給与プロセッサに知らせる。次に第7図を参照して、ここには優先順位変更の次の場合のロジックが示してある。ANDゲート521によって解

決されるような逆パス・要求の第1サイクルで、ソースに現在割り当てられているジャンクがソース・テーブル(第6図の168)から読み出される。ジャンク識別番号がジャンク・レジスタにストロープされる。ソース・テーブルのこのエントリがリテラされると、それはソースからのジャンクの無関係な解除を示す。また、ジャンク割り当てが行先先覚テーブル(第6図の169)からもリテラされる。また、ジャンク・テーブル(第6図の170)への対応するエントリもリテラされる。さらに、ジャンク解除パス・指令が送られてソース受検後および行先受検後からジャンクを解除される。

逆パス・要求のための第2の処理サイクルはANDゲート522によって解決される。ジャンク・レジスタに保存されたジャンク識別番号はソース・テーブル(第6図の168)に書き込まれる。同時に、このジャンク識別番号は行先先覚テーブル(第6図の169)にも書き込まれる共に、その割り当てられた宛先受検後、ソース受検後と一緒にジャンク・テーブル(第6図の170)にも書き込まれる。また、宛先指令がジャンク・パスに送られてそのジャンク・パスを行先受検後とソース受検後に送られて、そして、それぞれのジャンクのための逆ジャンク・タイムがオンにされる。さらに、処理終了が通知される。

サービス・ジャンク・タイム・要求の第1サイクルで、割り当てられたジャンク・タイムについてのソースおよび行先はゲート523に送給されて得られる。ゲート524、525に送給して、サービス・ジャンク・タイムまたはフロップ・ジャンク要求の第1処理サイクルで、要求チャネルのキューに対するキュー・ポインタキュー・ポインタ・テーブル(第6図の171、172、173)から得られる。この場合、ソース・ポインタ番号(SPC)

サービス・フラグがセットされる。この処理経路はインバート526およびANDゲート527によって解決される。さらに、ゲート528によって決定されるように、ジャンク割り当てビットがソース受検後先覚テーブル、行先受検後先覚テーブルにおいてリテラされ、ジャンク識別ビットがジャンク識別テーブルからリテラされ、それぞれのジャンク・タイムがリテラされる。さらに、ジャンク識別パスを通して指令がセットされてソース受検後と行先受検後からジャンクの解除を解除される。処理が終了される。さらに、インバート529およびゲート530によって解決されるように、行先メッセージ・キューに宛らふのリスミスがある場合、その宛先キューに宛するキュー・タイムが通知され、キューのヘッドに添えられるチャネル遅延後にフロロ・コントロール・オフ指令が送られる。

次に第8図を参照して、ここにはメッセージ・キューイング操作のための場合分けロジック(第24図の47)が示してある。メッセージ・キューイング操作はメッセージ・指定番号ならびにメッセージ・要求の処理中にOレグート531によって示されるように進むことがある。第1サイクルでは、ゲート532によって決定されるように宛先ループバック・モードにある場合に処理が終了する。さもなければ、メッセージ・指定番号を処理するために、行先受検後またはメッセージ・指定番号遅延ロジック(第24図の57)によって宛先遅延タイム場合を除いてキャリア・状態についてモニタリングされる。これらの状態はインバート533、534およびゲート535によって解決される。

ルート・メッセージまたはキュー・メッセージ指令の第2処理サイクルでは、Oレグート536がアイドル・ジャンクがない

がゲート528によって与えられる。このときに、行先先覚レグート(第5図)はインバート527によって禁止される。ここで、遅延は、キュー・ポインタ・メモリが行先先覚チャネル番号によってアドレス指定されることに従うべき。

インバート528およびゲート529は、ジャンクが割り当てられないことをソース・テーブル(第6図の168)が示したならば処理を終了させる。さもなければ、ゲート530およびインバート531がソース・キューが空でないときに処理を行えるようにする。次に、ソース・キューが空であるかどうかを決定するために、キューのヘッドに対するポインタ(第6図の170)の出力部(第6図の174)の出力とに比較される。もしヘッドに対するポインタがテーブルに対するポインタと等しいならば、そのときには、キューは空でない。この場合、ソース・チャネル番号のためのキュー・タイムはリテラされてから検出され、フロロ・コントロール・オフ指令がキューのヘッドに添えられるチャネル番号の遅延後に送られる。

ゲート532によって解決されるように、サービス・ジャンク要求またはジャンク解除に対する第2処理サイクルで、ソース・チャネル受検後になるジャンクが割り当てられない場合には処理は終了する。さもなければ、ゲート534によって検出されるように、ジャンク状態テーブルが割り当てジャンクについて読み出される。ジャンク識別番号がレジスタにストロープされる。

ゲート535によって解決されるようにサービス・ジャンク・タイムまたはジャンク解除要求の第3処理サイクル中、割り当てられたジャンクが不活動である場合には処理が終了し、診断

かどうか、メッセージキュー要求が処理されつつあるかどうか、待ち先送信機がジャンクタに割り当てられているかどうか、優先度優先機がキューを抽出しているかどうかを決定する。もしその通りであり、そして、ソース・チャネルが先行キューのヘッドにあるならば、ゲート571が先行キューのためのキュー・タイムを再抽出し、処理は終了する。さもなければ、インバーク555およびゲート555によって解放されるように、キュー・エントリ・テーブルがソースが先行キュー上ににあることを示している場合、フロー・コントロール・オン指令がソース受信機に送られ、処理は終了する。さもなければ、インバーク559によって示されるようにソースが先行キュー上にまわらない場合、それ次に、インバーク551およびゲート552によって解放されるように、ジャンクタが待ち先送信機に割り当てられるかあるいはキューが空でない場合、ゲート553はソース・チャネル番号を待ち先キュー上に置く。さらに、キュー・ポインタが更新され、エントリがキュー・エントリ・テーブルに送られる。ソース・チャネル番号が先行キュー上にあることを示す。また、フロー・コントロール・オン指令がソース・チャネル受信機に送られ、処理は終了する。

さもなければ、ゲート552およびインバーク554がジャンクタが待ち先送信機に割り当てられておらず、待ち先キューが空であることを示している場合には、ゲート554がソース番号を待ち先キュー上に置く。さらに、キュー・ポインタが更新され、キュー・エントリ・テーブルは待ち先キュー上にソース番号を置くに従ってセットされる。また、待ち先キューのためのタイムが抽だしされ、処理は終了する。

次に第38図を参照して、ここにはメッセージの経路指示を行

わせる。

以上、チャネル送信機とチャネル受信機を接続したジャンクタのうちの最も特定のジャンクタに割り当てる改造したコンピュータ相互接続カプラーについて説明してきた。多数のジャンクタを利用できるので、カプラーの接続性および帯域幅はかなり増大する。メッセージの経路を決定しながらバッファ内にメッセージの初期部分を経路抽し、このカプラーと一緒に宛先のコンピュータ通路を使用することができる。このコンピュータ相互接続カプラーは、そこを通してやり取りされた送信機を拒絶させることを除いて、そこを通過するメッセージを変更するとは考えられない。

このコンピュータ相互接続カプラーは、たとえ多数のスター・カプラーからなる場合でも動作するようにプログラムすることができ、単に中央ジャンクタ提供メモリを両プログラム間で物理的な接続を行うこととスター・カプラーに接続する装置を変更することができる。また、これを仮想スター・カプラーの形態はコンピュータ相互接続カプラー間の仮想スター・カプラー交換を交換することによって物理的カプラーの集まりで簡単に実行することができる。

拡張優先度呼法を使用し、また、バックブレンからチャネル・インターフェース・ボードヘスロー・番号を送ることによって、コンピュータ相互接続カプラーは追加のボードを追加するだけで増分拡張できる。カプラーが初期接続したコンピュータの状態で増分拡張である。カプラーが初期接続したコンピュータの状態で増分拡張である。このような拡張優先度呼法を拡張するためのロジックおよび低号路は既述位置に従ってロジックを細分化し、重複させることによってかなり簡略化される。

うための中央スイッチ接続をセロジックが示している。メッセージレート指定要素のための第2経路サイクルでは、行先優先機がキューを指示しておらず、行先優先の送信機がジャンクタに割り当てられておらず、ジャンクタがアイドルである場合に経路指定が行われる。これらの経路はインバーク571、572およびゲート573によって解放される。さらに、ゲート574によってさらに解放されるようにもしソース・チャネルが先行キュー上にあるならば、キュー・ポインタを更新し、キュー・エントリ・テーブルをリセットすることによってソース番号が先行キューから取り除かれる。また、行き先に対応するキュー・タイムがリセットされる。

次に第39図を参照して、ここには示したタイムを有するキューを動作させるための中央スイッチ・ロジック内の結合をセロジックが簡明図で示している。第1サイクルで、ゲート581によって解放されるように、待ち先キュー・タイムの識別番号が保存される。また、待ち先タイムに相当するキューのヘッドのところでのエントリがキュー・ポインタを更新し、キュー・エントリ・テーブルをリセットすることによって取り除かれる。さらに、キュー・タイムがリセットされる。

サービスクュー・タイム・リクエストの処理は、ゲート582によって解放されるように、第2サイクルで終了する。付加したゲート583がキューが空でないかどうかを決定し、もう一度ならば、フロー・コントロール・オン指令が待ち先キュー番号を有するチャネル受信機に送られる。このチャネル番号は既述したキュー・タイムの番号に相当する待ち先キューの指示したヘッドのところに出される。また、待ち先キュー・タイムはリセットされてから抽だしされる。これは中央スイッチ・ロジックの前述を

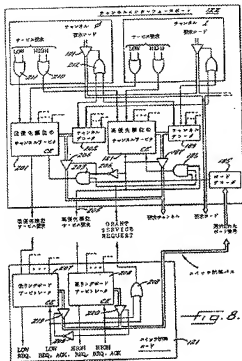
このコンピュータ相互接続カプラーは初期プロセスによってモディファイされ、不良状態を承す種々のタイム、ラダがある中で、既述した特定の経路に正常に示され、非特定のシステムの状態がボード上の不揮発性メモリに記憶され、従ってリセットを記憶することができることと共に、ボード上の割り当てを再入力付けする際に抽だしされる程度が異なる。

このコンピュータ相互接続カプラーの異なるロードング状態を取り扱う能力はメッセージ・リクエストをキュー・インデックス・コントロールを用いてメッセージ要求が待ち先キューのヘッドに渡られるまで再送信を禁止することによって促進される。また、入力メッセージを禁止を置いてフロー・コントロール・キューに挿入し、通常のメッセージが決定必須プロトコルを使用し、種々のメッセージを知らせることによって、フロー・コントロールはより効率的に行われる。挿入メッセージの交換およびその肯定の答、フロー・コントロールは最初のメッセージ要求の再送信を必要とすることなく絶たれる。このようにメッセージ要求のキュー・インデックス・サービシングは、データ伝送値がフロー・コントロールがよくなった後に正常な状態にわたるメッセージを再送信しない場合に予知したチャネルを解放する一種のキュー・タイムを使用し、通常の経路性によって行われる。メッセージ経路指定、キュー・インデックスおよびフロー・コントロールの全体のシステムは従来のシステムが同じ優先レベルでまもられている多レベル優先手段に従ってサービス要求を実行する中央ロジックを記述することによって一貫的なものとなる。

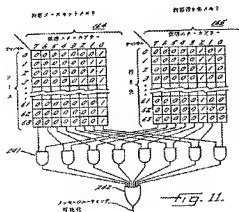
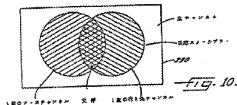




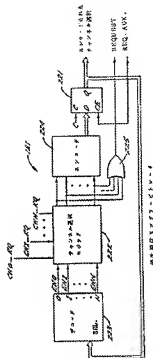
修費(内容に依り異なる)



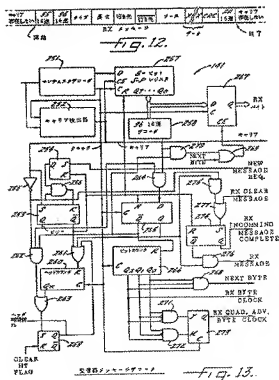
特選(内容に注意なし)



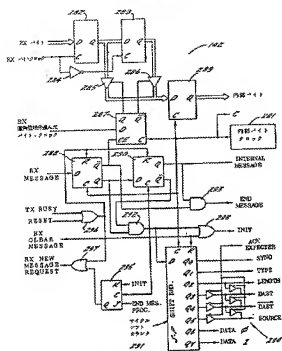
検印(内容に誤りなし)



投資(内容に変更なし)



淨重(約容に概算値)



読者のジョナサン・ワグネルに送る fig. 14

神楽(内容は変更なし)

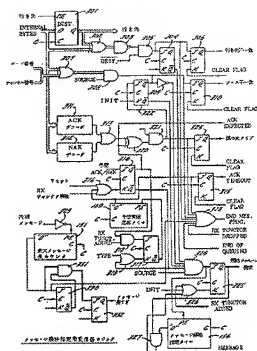


Fig. 15.

※表紙の内容に変更なし)

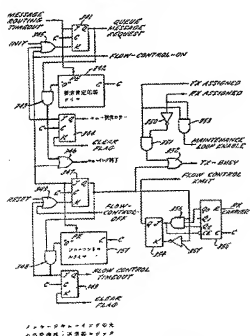


Fig. 16.

修業(内容に変更なし)

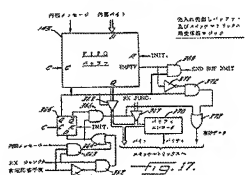


Fig. 17.

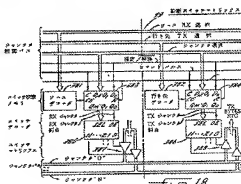
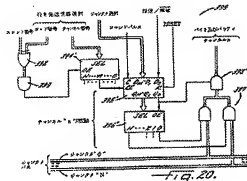
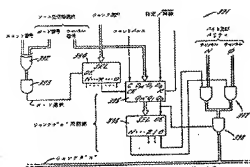
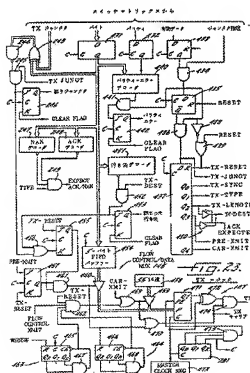


Fig. 18

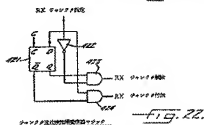
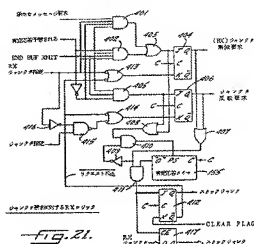
序書 (内容に変更なし)



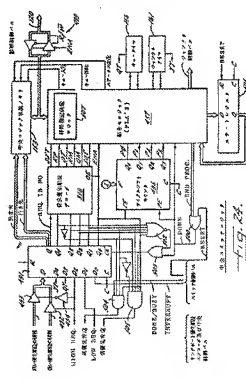
序書 (内容に変更なし)



序書 (内容に変更なし)



序書 (内容に変更なし)



内容(内部に実装を)

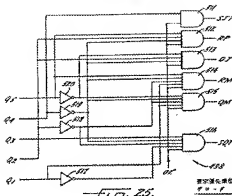


FIG. 25.

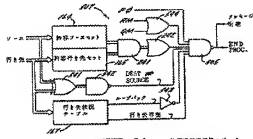


FIG. 26.

制御回路図(FIG. 26)

内容(内部に実装を)

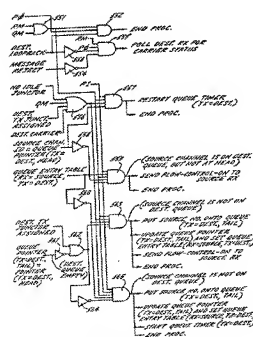


FIG. 27.

制御回路図(FIG. 27)

FIG. 28.

制御回路図(FIG. 28)

内容(内部に実装を)

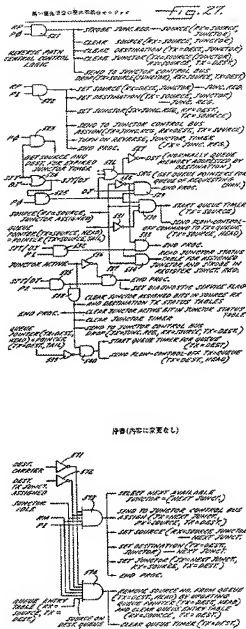


FIG. 29.

制御回路図(FIG. 29)

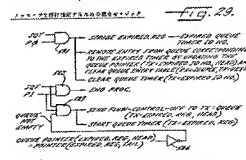


FIG. 30.

制御回路図(FIG. 30)



第1頁の続き

⑨Int.Cl.<sup>1</sup>

G 06 F 15/16

識別記号

4 0 0 Y

庁内整理番号

6745-5B

⑨発明者	リード ハロルド エイ	アメリカ合衆国 マサチューセッツ州 01503	バーリン クロス ビー ロード 32
⑨発明者	ヘンリー バリー エイ	アメリカ合衆国 ニューハンブシャー州 03303	ベナクック ワ シントン ストリート 84
⑨発明者	カクゾー チャールズ イー	アメリカ合衆国 マサチューセッツ州 01570	ダウドリー ショ ーフィールド アベニュー 78
⑨発明者	ミルズ ミルトン ヴィー	アメリカ合衆国 マサチューセッツ州 02121-1410	ボストン アボツツフォード ストリート 22
⑨発明者	カーン ロナルド シー	アメリカ合衆国 マサチューセッツ州 02054	ミルズ リッジ ストリート 53
⑨発明者	メツツ ドナルド アール	アメリカ合衆国 マサチューセッツ州 01430	アウシュバーナム コラー ヒル ロード 48